

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2002-140029

(43) Date of publication of application : 17.05.2002

(51) Int.Cl.

G09G 3/20
G02F 1/133
G02F 1/1368
G09G 3/36
H04N 5/66

(21) Application number : 2000-336837

(71) Applicant : SEMICONDUCTOR ENERGY LAB CO LTD
SHARP CORP

(22) Date of filing : 06.11.2000

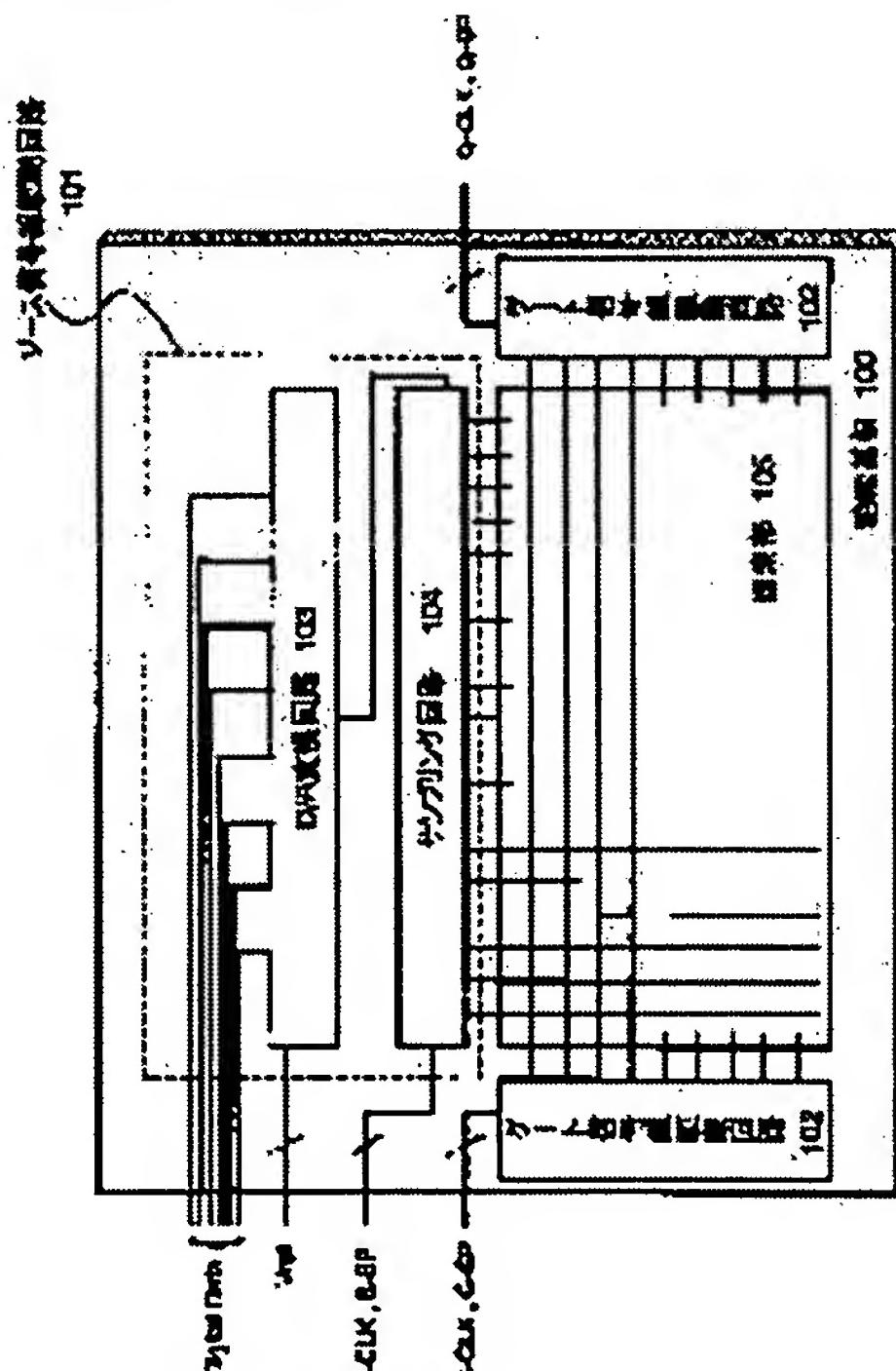
(72) Inventor : KOYAMA JUN
ASAMI MUNEHIRO
SHIONOIRI YUTAKA
KUBOTA YASUSHI
WASHIO HAJIME

(54) DRIVING CIRCUIT FOR DISPLAY DEVICE AND ITS DRIVING METHOD

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a digital system active matrix type display device having a driving circuit in which the occupancy area on a panel can be reduced.

SOLUTION: Digital image signals inputted into the device are immediately converted into analog signals through a D/A converting circuit 103. Sampling of the image signals are conducted by using a sampling circuit 104 that is equivalent to a conventional analog system. Thereby, it is possible to deal with the digital image signals without using a latch circuit which is normally required to process digital image signals and which has occupied a large area in a driving circuit.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-140029

(P2002-140029A)

(43)公開日 平成14年5月17日(2002.5.17)

(51)Int.Cl.⁷

G 0 9 G 3/20

識別記号

6 2 1

F I

テマコト(参考)

6 2 3

G 0 9 G 3/20

6 2 1 M 2 H 0 9 2

6 2 3 F 2 H 0 9 3

6 2 3 J 5 C 0 0 6

6 2 3 L 5 C 0 5 8

6 2 3 X 5 C 0 8 0

審査請求 未請求 請求項の数21 O L (全 29 頁) 最終頁に続く

(21)出願番号

特願2000-336837(P2000-336837)

(22)出願日

平成12年11月6日(2000.11.6)

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 浅見 宗広

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

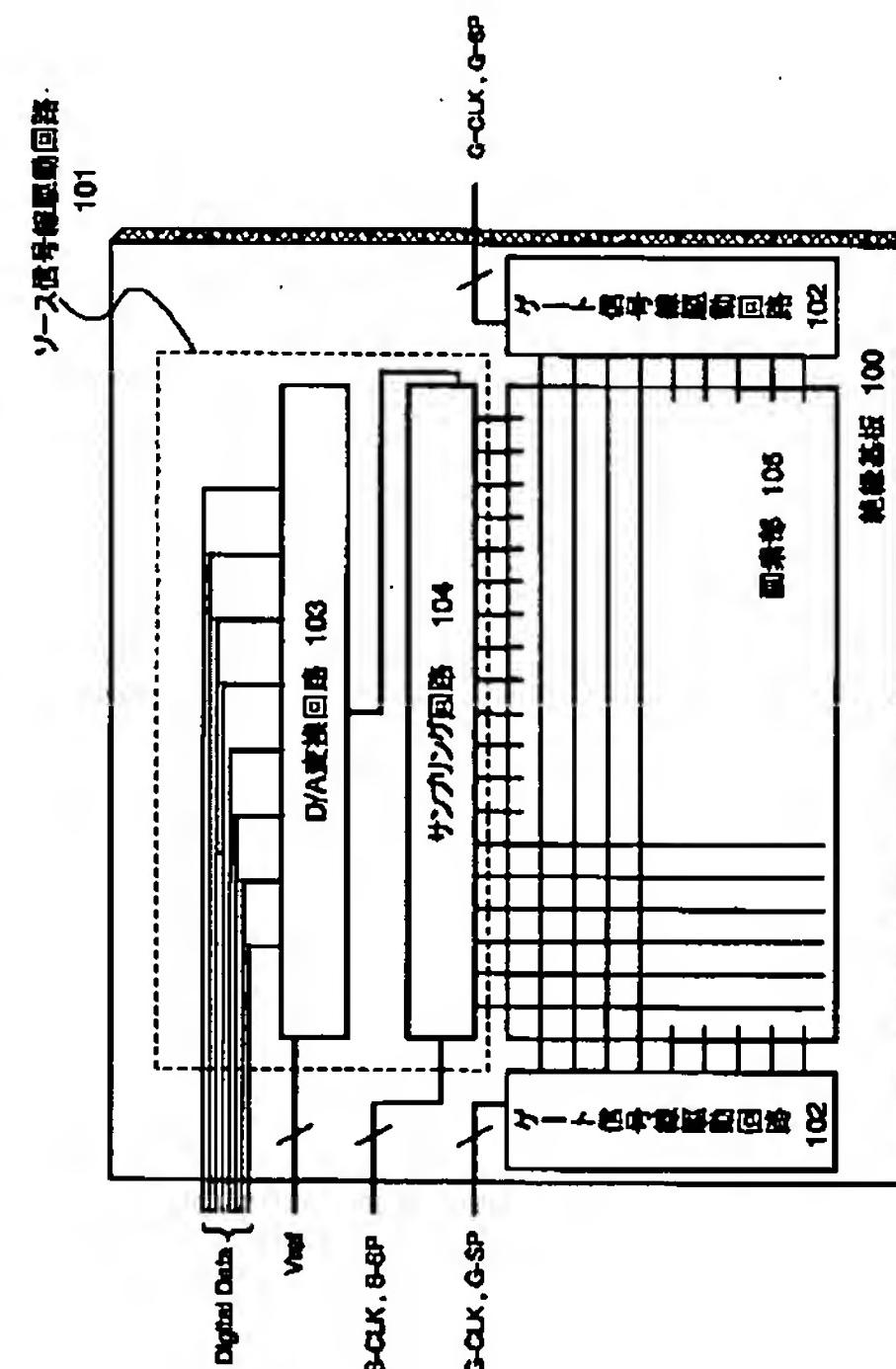
最終頁に続く

(54)【発明の名称】 表示装置の駆動回路およびその駆動方法

(57)【要約】

【課題】 デジタル方式のアクティブマトリクス型表示装置において、パネル上の占有面積を縮小することができる駆動回路を有する表示装置を提供することを課題とする。

【解決方法】 表示装置に入力されたデジタル画像信号は、D/A変換回路103を通して、直ちにアナログ変換される。画像信号のサンプリングは、通常のアナログ方式と同等のサンプリング回路104を用いて行うことにより、従来のデジタル画像信号の処理のために必要とし、かつ駆動回路の中で大面積を占めていたラッチ回路を用いることなくデジタル画像信号に対応することができる。



【特許請求の範囲】

【請求項1】複数のソース信号線と、複数のゲート信号線と、複数の画素トランジスタとを有する画素部と、ソース信号線駆動回路とを基板上に一体形成した表示装置の駆動回路において、

前記ソース信号線駆動回路は、

n ビットデジタル画像信号が入力され、 n ビットデジタル階調に対応したアナログ画像信号に変換し、出力するD/A（デジタル／アナログ）変換回路と、前記アナログ画像信号を順次サンプリングするサンプリング回路とを有することを特徴とする表示装置の駆動回路。

【請求項2】複数のソース信号線と、複数のゲート信号線と、複数の画素トランジスタとを有する画素部と、ソース信号線駆動回路とを基板上に一体形成した表示装置の駆動回路において、

前記ソース信号線駆動回路は、

直列の n ビットデジタル画像信号が入力され、前記 n ビットデジタル画像信号の長さを m 倍に伸張し、 m 個並列の n ビットデジタル画像信号に分割し、出力するS/P（シリアル／パラレル）変換回路と、

前記S/P（シリアル／パラレル）変換回路からの出力信号を、 n ビットデジタル階調に対応したアナログ画像信号に変換するD/A（デジタル／アナログ）変換回路と、

前記アナログ画像信号を順次サンプリングするサンプリング回路とを有することを特徴とする表示装置の駆動回路。

【請求項3】複数のソース信号線と、複数のゲート信号線と、複数の画素トランジスタとを有する画素部と、ソース信号線駆動回路とを基板上に一体形成した表示装置の駆動回路において、

前記ソース信号線駆動回路は、

基準クロック信号が入力され、前記基準クロック信号のクロック周波数を伸張することにより、異なる周波数を有する複数のクロック信号を生成するクロック生成回路と、

直列の n ビットデジタル画像信号が入力され、前記 n ビットデジタル画像信号の長さを m 倍に伸張し、 m 個並列の n ビットデジタル画像信号に分割し、出力するS/P（シリアル／パラレル）変換回路と、

前記S/P（シリアル／パラレル）変換回路からの出力信号を、 n ビットデジタル階調に対応したアナログ画像信号に変換するD/A（デジタル／アナログ）変換回路と、

前記アナログ画像信号を順次サンプリングするサンプリング回路とを有し、

前記S/P（シリアル／パラレル）変換回路と、前記サンプリング回路とはそれぞれ、前記クロック生成回路によって、同一の前記基準クロック信号より生成されたクロック信号によって駆動され、

ロック信号によって駆動されることを特徴とする表示装置の駆動回路。

【請求項4】複数のソース信号線と、複数のゲート信号線と、複数の画素トランジスタとを有する画素部と、ソース信号線駆動回路とを基板上に一体形成した表示装置の駆動回路において、

前記ソース信号線駆動回路は、

直列の n ビットデジタル画像信号が入力され、前記 n ビットデジタル画像信号の長さを m 倍に伸張し、 m 個並列の n ビットデジタル画像信号に分割し、出力するS/P（シリアル／パラレル）変換回路と、

前記S/P（シリアル／パラレル）変換回路からの出力信号を、 n ビットデジタル階調に対応したアナログ画像信号に変換するD/A（デジタル／アナログ）変換回路と、

前記アナログ画像信号を順次サンプリングするサンプリング回路とを有し、

前記直列の n ビットデジタル画像信号は、 k 個並列に、第1～第 k の前記S/P（シリアル／パラレル）変換回路に入力され、第1～第 k の前記S/P（シリアル／パラレル）変換回路からの出力信号はそれぞれ第1～第 k のD/A（デジタル／アナログ）変換回路に入力され、 k 個のサンプリング信号が同時に出来ることにより、 k 本のソース信号線への信号の書き込みが同時に行われることを特徴とする表示装置の駆動回路。

【請求項5】複数のソース信号線と、複数のゲート信号線と、複数の画素トランジスタとを有する画素部と、ソース信号線駆動回路とを基板上に一体形成した表示装置の駆動回路において、

前記ソース信号線駆動回路は、

基準クロック信号が入力され、前記基準クロック信号のクロック周波数を伸張することにより、異なる周波数を有する複数のクロック信号を生成するクロック生成回路と、

直列の n ビットデジタル画像信号が入力され、前記 n ビットデジタル画像信号の長さを m 倍に伸張し、 m 個並列の n ビットデジタル画像信号に分割し、出力するS/P（シリアル／パラレル）変換回路と、

前記S/P（シリアル／パラレル）変換回路からの出力信号を、 n ビットデジタル階調に対応したアナログ画像信号に変換するD/A（デジタル／アナログ）変換回路と、

前記アナログ画像信号を順次サンプリングするサンプリング回路とを有し、

前記S/P（シリアル／パラレル）変換回路と、前記サンプリング回路とはそれぞれ、前記クロック生成回路によって、同一の前記基準クロック信号より生成されたクロック信号によって駆動され、

前記直列の n ビットデジタル画像信号は、 k 個並列に、第1～第 k の前記S/P（シリアル／パラレル）変換回

路に入力され、第1～第kの前記S/P（シリアル／パラレル）変換回路からの出力信号はそれぞれ第1～第kのD/A（デジタル／アナログ）変換回路に入力され、k個のサンプリング信号が同時に出力されることにより、k本のソース信号線への信号の書き込みが同時に行われることを特徴とする表示装置の駆動回路。

【請求項6】複数のソース信号線と、複数のゲート信号線と、複数の画素トランジスタとを有する画素部と、ソース信号線駆動回路とを基板上に一体形成した表示装置の駆動方法において、

m個の並列nビットデジタル画像信号をそれぞれD/A（デジタル／アナログ）変換回路に入力し、前記nビットデジタル階調に対応したアナログ画像信号に変換するステップと、

前記D/A（デジタル／アナログ）変換回路から出力された前記nビットデジタル階調に対応したアナログ信号をサンプリングするステップと、

を有することを特徴とする表示装置の駆動方法。

【請求項7】複数のソース信号線と、複数のゲート信号線と、複数の画素トランジスタとを有する画素部と、ソース信号線駆動回路とを基板上に一体形成した表示装置の駆動方法において、

nビットデジタル画像信号をS/P（シリアル／パラレル）変換回路に入力し、前記nビットデジタル画像信号の長さをm倍に伸張し、m個の並列nビットデジタル画像信号に分割し、出力するステップと、

前記S/P（シリアル／パラレル）変換回路からの出力信号をそれぞれD/A（デジタル／アナログ）変換回路に入力し、nビットデジタル階調に対応したアナログ画像信号に変換するステップと、

前記D/A（デジタル／アナログ）変換回路から出力された前記nビットデジタル階調に対応したアナログ画像信号をサンプリングするステップと、を有することを特徴とする表示装置の駆動方法。

【請求項8】複数のソース信号線と、複数のゲート信号線と、複数の画素トランジスタとを有する画素部と、ソース信号線駆動回路とを基板上に一体形成した表示装置の駆動方法において、

基準クロック信号をクロック生成回路に入力し、前記基準クロック信号の周波数を伸張することにより、異なる周波数を有する複数のクロック信号を出力するステップと、

nビットデジタル画像信号をS/P（シリアル／パラレル）変換回路に入力し、前記nビットデジタル画像信号の長さをm倍に伸張し、m個の並列nビットデジタル画像信号に分割し、出力するステップと、

前記S/P（シリアル／パラレル）変換回路からの出力信号をそれぞれD/A（デジタル／アナログ）変換回路に入力し、nビットデジタル階調に対応したアナログ画像信号に変換するステップと、

前記D/A（デジタル／アナログ）変換回路から出力された前記nビットデジタル階調に対応したアナログ画像信号をサンプリングするステップと、を有することを特徴とする表示装置の駆動方法。

【請求項9】複数のソース信号線と、複数のゲート信号線と、複数の画素トランジスタとを有する画素部と、ソース信号線駆動回路とを基板上に一体形成した表示装置の駆動方法において、

基準クロック信号をクロック生成回路に入力し、前記基準クロック信号の周波数を伸張することにより、異なる周波数を有する複数のクロック信号を出力するステップと、

直列nビットデジタル画像信号をS/P（シリアル／パラレル）変換回路に入力し、前記nビットデジタル画像信号の長さをm倍に伸張し、m個の並列nビットデジタル画像信号に分割し、出力するステップと、

前記S/P（シリアル／パラレル）変換回路からの出力信号をそれぞれD/A（デジタル／アナログ）変換回路に入力し、nビットデジタル階調に対応したアナログ画像信号に変換するステップと、

前記D/A（デジタル／アナログ）変換回路から出力された前記nビットデジタル階調に対応したアナログ画像信号をサンプリングするステップとを有し、

前記直列のnビットデジタル画像信号は、k個並列に、第1～第kの前記S/P（シリアル／パラレル）変換回路に入力され、第1～第kの前記S/P（シリアル／パラレル）変換回路からの出力信号はそれぞれ第1～第kのD/A（デジタル／アナログ）変換回路に入力され、1つのサンプリング信号の出力により、k本のソース信号線への信号の書き込みが同時に行われることを特徴とする表示装置の駆動方法。

【請求項10】請求項1乃至請求項6のいずれか1項に記載の表示装置の駆動回路を用いることを特徴とする表示装置。

【請求項11】請求項7乃至請求項9のいずれか1項に記載の表示装置の駆動方法を用いることを特徴とする表示装置。

【請求項12】請求項1乃至請求項6のいずれか1項に記載の表示装置の駆動回路を用いることを特徴とするテレビ。

【請求項13】請求項1乃至請求項6のいずれか1項に記載の表示装置の駆動回路を用いることを特徴とするパーソナルコンピュータ。

【請求項14】請求項1乃至請求項6のいずれか1項に記載の表示装置の駆動回路を用いることを特徴とする携帯端末。

【請求項15】請求項1乃至請求項6のいずれか1項に記載の表示装置の駆動回路を用いることを特徴とするビデオカメラ。

【請求項16】請求項1乃至請求項6のいずれか1項に

記載の表示装置の駆動回路を用いることを特徴とするプロジェクト。

【請求項17】請求項7乃至請求項9のいずれか1項に記載の表示装置の駆動方法を用いることを特徴とするテレビ。

【請求項18】請求項7乃至請求項9のいずれか1項に記載の表示装置の駆動方法を用いることを特徴とするパソコン用コンピュータ。

【請求項19】請求項7乃至請求項9のいずれか1項に記載の表示装置の駆動方法を用いることを特徴とする携帯端末。

【請求項20】請求項7乃至請求項9のいずれか1項に記載の表示装置の駆動方法を用いることを特徴とするビデオカメラ。

【請求項21】請求項7乃至請求項9のいずれか1項に記載の表示装置の駆動方法を用いることを特徴とするプロジェクト。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

【0002】本発明は、半導体表示装置（以下表示装置と表記する）の駆動回路および駆動回路を用いた表示装置に関し、特に、絶縁体上に作成される薄膜トランジスタを有するアクティブマトリクス型表示装置の駆動回路および駆動回路を用いたアクティブマトリクス型表示装置に関する。その中で特に、デジタル画像信号を入力するアクティブマトリクス型表示装置の駆動回路および駆動回路を用いたアクティブマトリクス型表示装置に関する。

【0003】

【従来の技術】近年、絶縁体上、特にガラス基板上に半導体薄膜を形成した表示装置、特に薄膜トランジスタ（以下TFTと表記する）を用いたアクティブマトリクス型表示装置の普及が顕著となっている。TFTを使用したアクティブマトリクス型表示装置は、マトリクス状に配置された数十万から数百万のTFTを有し、各画素の電荷を制御することによって画像の表示を行っている。

【0004】さらに最近の技術として、画素を構成する画素TFTの他に、画素部の周辺部に、TFTを用いて駆動回路を同時形成するポリシリコンTFTに関する技術が発展してきている。

【0005】また、ここで同時形成される駆動回路も、アナログ画像信号対応のものにとどまらず、デジタル画像信号に対応したものが実現されている。

【0006】通常のデジタル方式の駆動回路の概略図を、図13に示す。中央に画素部1308が配置されている。画素部の上側には、ソース信号線を制御するための、ソース信号線駆動回路1301が配置されている。ソース信号線駆動回路1301は、第1のラッチ回路1

304、第2のラッチ回路1305、D/A変換回路1306、アナログスイッチ1307等を有する。画素部の左右には、ゲート信号線を制御するための、ゲート信号線駆動回路1302が配置されている。なお、図13においては、ゲート信号線駆動回路1302は、画素部の左右両側に配置されているが、片側配置でも構わない。ただし、両側配置とした方が、駆動効率、駆動信頼性の面から見て望ましい。

【0007】ソース信号線駆動回路1301に関しては、図14に示すような構成を有している。図14に例として示す駆動回路は、水平方向解像度640画素、3ビット階調に表示能力を有するソース信号線駆動回路であり、第1のラッチ回路、第2のラッチ回路、D/A変換回路等を有する。なお、図14では図示していないが、必要に応じてバッファ回路、レベルシフタ回路等を配置しても良い。

【0008】図13および図14を用いて動作について簡単に説明する。まず、シフトレジスタ回路1303（図14中、SRと表記）にクロック信号（S-CLOCK）、スタートパルス（SP）が入力され、順次パルスが出力される。続いて、それらのパルスは第1のラッチ回路1304（図14中、LAT1と表記）に入力され、同じく第1のラッチ回路1304に入力された画像信号（Digital Data）をそれぞれ保持していく。第1のラッチ回路1304において、1水平周期分の画像信号の保持が完了すると、帰線期間中に、第1のラッチ回路1304で保持されている画像信号は、ラッチ信号（Latch Pulse）の入力に従い、一斉に第2のラッチ回路1305（図14中、LAT2と表記）へと転送される。

【0009】その後、再びシフトレジスタ回路1303が動作し、次の水平周期分の画像信号の保持が開始される。同時に、第2のラッチ回路1305で保持されている画像信号は、D/A変換回路1306（図14中、DACと表記）にてアナログ信号へと変換される。このアナログ化された画像信号は、ソース信号線を経由して画素に書き込まれる。この動作を繰り返すことによって、画像の表示が行われる。

【0010】

【発明が解決しようとする課題】前述のようなデジタル方式の駆動回路は、アナログ方式の駆動回路と比較すると、画像信号をデジタル入力するため、配線の引き回し等に起因したノイズの影響を受けにくい点または、トランジスタの電流能力のばらつきの影響を受けにくい点等といった利点があるが、反面、取り扱うデータ量が膨大となるため、回路の素子数が多く、占有面積が非常に大きいという欠点を有する。特に画像信号を保持するラッチ回路は、階調1ビットごとに1組、さらに水平方向の画素数分だけ必要である。

【0011】例えば、図13にて示した、水平方向64

0画素、3ビット階調の場合は、図13に示したように、第1のラッチ回路、第2のラッチ回路とともに、ソース信号線1段あたりそれぞれ3個を必要とし、全体では第1のラッチ回路を $640 \times 3 = 1920$ 個、第2のラッチ回路を $640 \times 3 = 1920$ 個必要とする。さらに多階調化する場合には、さらにそのビット数分に伴うラッチ回路を必要とする。すなわち、ラッチ回路部が、駆動回路の占有面積の増大に大きく影響していることは明らかである。

【0012】近年取り扱われている情報量の急激な増加に伴い、表示装置はさらなる高解像度化、高精細化、かつ小型化を実現するための開発が進められている。しかし、画素数の増加とともに、駆動回路を構成する素子数も増加することとなり、駆動回路においては占有面積の縮小が早急に望まれている。

【0013】本発明は、前述した課題を解決するためになされたものであり、ソース信号線駆動回路の占有面積を縮小し、表示装置の小型化に貢献することが出来る駆動回路を提供することを課題とする。

【0014】

【課題を解決するための手段】前述した課題を解決するために、本発明においては以下に説明するような手段を講じた。

【0015】従来のデジタル方式の表示装置においては、画像信号の供給はデジタル画像信号によってなされ、パネル内部では、画素への書き込み直前にD/A変換回路にてアナログ変換されるまではデジタル信号として扱われていた。これに対して、本発明の表示装置の有しているソース信号線駆動回路においては、画像信号の供給はデジタル画像信号によってなされるが、パネルに入力後直ちにD/A変換回路にてアナログ変換され、以下、アナログ方式の駆動回路と同様の方法によって駆動される。

【0016】この方法をとることにより、駆動回路を構成する素子数が少ないというアナログ方式駆動回路の利点と、画像信号がデジタルで供給されるため、ノイズの影響を受けにくいというデジタル方式駆動回路の利点とを併せ持ち、従来までその駆動回路において大面積を占有していたラッチ回路を必要とせずに、デジタル画像信号に対応した表示装置を提供することが出来る。また、これらの駆動回路は、画素部と同一基板上に一体形成される。以上の手段により、デジタル方式の表示装置の駆動回路の小面積化および装置の小型化に大きく貢献することが出来る。

【0017】以下に、本発明の表示装置の構成について記載する。

【0018】請求項1に記載の本発明の表示装置の駆動回路は、複数のソース信号線と、複数のゲート信号線と、複数の画素トランジスタとを有する画素部と、ソース信号線駆動回路とを基板上に一体形成した表示装置の

駆動回路において、前記ソース信号線駆動回路は、nビットデジタル画像信号が入力され、nビットデジタル階調に対応したアナログ画像信号に変換し、出力するD/A(デジタル/アナログ)変換回路と、前記アナログ画像信号を順次サンプリングするサンプリング回路とを有することを特徴としている。

【0019】請求項2に記載の本発明の表示装置の駆動回路は、複数のソース信号線と、複数のゲート信号線と、複数の画素トランジスタとを有する画素部と、ソース信号線駆動回路とを基板上に一体形成した表示装置の駆動回路において、前記ソース信号線駆動回路は、直列のnビットデジタル画像信号が入力され、前記nビットデジタル画像信号の長さをm倍に伸張し、m個並列のnビットデジタル画像信号に分割し、出力するS/P(シリアル/パラレル)変換回路と、前記S/P(シリアル/パラレル)変換回路からの出力信号を、nビットデジタル階調に対応したアナログ画像信号に変換するD/A(デジタル/アナログ)変換回路と、前記アナログ画像信号を順次サンプリングするサンプリング回路とを有することを特徴としている。

【0020】請求項3に記載の本発明の表示装置の駆動回路は、複数のソース信号線と、複数のゲート信号線と、複数の画素トランジスタとを有する画素部と、ソース信号線駆動回路とを基板上に一体形成した表示装置の駆動回路において、前記ソース信号線駆動回路は、基準クロック信号が入力され、前記基準クロック信号のクロック周波数を伸張することにより、異なる周波数を有する複数のクロック信号を生成するクロック生成回路と、直列のnビットデジタル画像信号が入力され、前記nビットデジタル画像信号の長さをm倍に伸張し、m個並列のnビットデジタル画像信号に分割し、出力するS/P(シリアル/パラレル)変換回路と、前記S/P(シリアル/パラレル)変換回路からの出力信号を、nビットデジタル階調に対応したアナログ画像信号に変換するD/A(デジタル/アナログ)変換回路と、前記アナログ画像信号を順次サンプリングするサンプリング回路とを有し、前記S/P(シリアル/パラレル)変換回路と、前記サンプリング回路とはそれぞれ、前記クロック生成回路によって、同一の前記基準クロック信号より生成されたクロック信号によって駆動されることを特徴としている。

【0021】請求項4に記載の本発明の表示装置の駆動回路は、複数のソース信号線と、複数のゲート信号線と、複数の画素トランジスタとを有する画素部と、ソース信号線駆動回路とを基板上に一体形成した表示装置の駆動回路において、前記ソース信号線駆動回路は、直列のnビットデジタル画像信号が入力され、前記nビットデジタル画像信号の長さをm倍に伸張し、m個並列のnビットデジタル画像信号に分割し、出力するS/P(シリアル/パラレル)変換回路と、前記S/P(シリアル/パラレル)

／パラレル）変換回路からの出力信号を、nビットデジタル階調に対応したアナログ画像信号に変換するD／A（デジタル／アナログ）変換回路と、前記アナログ画像信号を順次サンプリングするサンプリング回路とを有し、前記直列のnビットデジタル画像信号は、k個並列に、第1～第kの前記S／P（シリアル／パラレル）変換回路に入力され、第1～第kの前記S／P（シリアル／パラレル）変換回路からの出力信号はそれぞれ第1～第kのD／A（デジタル／アナログ）変換回路に入力され、k個のサンプリング信号が同時に输出されることにより、k本のソース信号線への信号の書き込みが同時に行われることを特徴としている。

【0022】請求項5に記載の本発明の表示装置の駆動回路は、複数のソース信号線と、複数のゲート信号線と、複数の画素トランジスタとを有する画素部と、ソース信号線駆動回路とを基板上に一体形成した表示装置の駆動回路において、前記ソース信号線駆動回路は、基準クロック信号が入力され、前記基準クロック信号のクロック周波数を伸張することにより、異なる周波数を有する複数のクロック信号を生成するクロック生成回路と、直列のnビットデジタル画像信号が入力され、前記nビットデジタル画像信号の長さをm倍に伸張し、m個並列のnビットデジタル画像信号に分割し、出力するS/P（シリアル／パラレル）変換回路と、前記S/P（シリアル／パラレル）変換回路からの出力信号を、nビットデジタル階調に対応したアナログ画像信号に変換するD/A（デジタル／アナログ）変換回路と、前記アナログ画像信号を順次サンプリングするサンプリング回路とを有し、前記S/P（シリアル／パラレル）変換回路と、前記サンプリング回路とはそれぞれ、前記クロック生成回路によって、同一の前記基準クロック信号より生成されたクロック信号によって駆動され、前記直列のnビットデジタル画像信号は、k個並列に、第1～第kの前記S/P（シリアル／パラレル）変換回路に入力され、第1～第kの前記S/P（シリアル／パラレル）変換回路からの出力信号はそれぞれ第1～第kのD/A（デジタル／アナログ）変換回路に入力され、k個のサンプリング信号が同時に outputされることにより、k本のソース信号線への信号の書き込みが同時に行われることを特徴としている。

【0023】請求項6に記載の本発明の表示装置の駆動方法は、複数のソース信号線と、複数のゲート信号線と、複数の画素トランジスタとを有する画素部と、ソース信号線駆動回路とを基板上に一体形成した表示装置の駆動方法において、 m 個の並列 n ビットデジタル画像信号をそれぞれD/A（デジタル／アナログ）変換回路に入力し、前記 n ビットデジタル階調に対応したアナログ画像信号に変換するステップと、前記D/A（デジタル／アナログ）変換回路から出力された前記 n ビットデジタル階調に対応したアナログ信号をサンプリングするス

テップと、を有することを特徴としている。

【0024】請求項7に記載の本発明の表示装置の駆動方法は、複数のソース信号線と、複数のゲート信号線と、複数の画素トランジスタとを有する画素部と、ソース信号線駆動回路とを基板上に一体形成した表示装置の駆動方法において、nビットデジタル画像信号をS/P（シリアル／パラレル）変換回路に入力し、前記nビットデジタル画像信号の長さをm倍に伸張し、m個の並列nビットデジタル画像信号に分割し、出力するステップと、前記S/P（シリアル／パラレル）変換回路からの出力信号をそれぞれD/A（デジタル／アナログ）変換回路に入力し、nビットデジタル階調に対応したアナログ画像信号に変換するステップと、前記D/A（デジタル／アナログ）変換回路から出力された前記nビットデジタル階調に対応したアナログ画像信号をサンプリングするステップと、を有することを特徴としている。

【0025】請求項8に記載の本発明の表示装置の駆動方法は、複数のソース信号線と、複数のゲート信号線と、複数の画素トランジスタとを有する画素部と、ソース信号線駆動回路とを基板上に一体形成した表示装置の駆動方法において、基準クロック信号をクロック生成回路に入力し、前記基準クロック信号の周波数を伸張することにより、異なる周波数を有する複数のクロック信号を出力するステップと、nビットデジタル画像信号をS/P（シリアル／パラレル）変換回路に入力し、前記nビットデジタル画像信号の長さをm倍に伸張し、m個の並列nビットデジタル画像信号に分割し、出力するステップと、前記S/P（シリアル／パラレル）変換回路からの出力信号をそれぞれD/A（デジタル／アナログ）変換回路に入力し、nビットデジタル階調に対応したアナログ画像信号に変換するステップと、前記D/A（デジタル／アナログ）変換回路から出力された前記nビットデジタル階調に対応したアナログ画像信号をサンプリングするステップと、を有することを特徴としている。

【0026】請求項9に記載の本発明の表示装置の駆動方法は、複数のソース信号線と、複数のゲート信号線と、複数の画素トランジスタとを有する画素部と、ソース信号線駆動回路とを基板上に一体形成した表示装置の駆動方法において、基準クロック信号をクロック生成回路に入力し、前記基準クロック信号の周波数を伸張することにより、異なる周波数を有する複数のクロック信号を出力するステップと、直列nビットデジタル画像信号をS/P（シリアル／パラレル）変換回路に入力し、前記nビットデジタル画像信号の長さをm倍に伸張し、m個の並列nビットデジタル画像信号に分割し、出力するステップと、前記S/P（シリアル／パラレル）変換回路からの出力信号をそれぞれD/A（デジタル／アナログ）変換回路に入力し、nビットデジタル階調に対応したアナログ画像信号に変換するステップと、前記D/A（デジタル／アナログ）変換回路から出力された前記n

ビットデジタル階調に対応したアナログ画像信号をサンプリングするステップとを有し、前記直列のnビットデジタル画像信号は、k個並列に、第1～第kの前記S/P（シリアル／パラレル）変換回路に入力され、第1～第kの前記S/P（シリアル／パラレル）変換回路からの出力信号はそれぞれ第1～第kのD/A（デジタル／アナログ）変換回路に入力され、1つのサンプリング信号の出力により、k本のソース信号線への信号の書き込みが同時に行われることを特徴としている。

【0027】

【発明の実施の形態】本発明の表示装置は、デジタル方式の駆動回路であって、回路が大面積を占有するラッチ回路を必要としない点に特徴がある。また、駆動方法の面では、画像信号はデジタル画像信号として表示装置に入力され、パネル内で直ちにアナログ信号に変換された後、アナログ方式の駆動回路と同様の処理が行われる点にある。

【0028】図1は、本発明の表示装置の駆動回路の概略図を示している。画素部105およびゲート信号線駆動回路102に関しては、図12にて示した従来例と同様で良い。また、ソース信号線駆動回路101、ゲート信号線駆動回路102および画素部105は、絶縁基板100上に一体形成されている。ソース信号線駆動回路101は、D/A変換回路103、サンプリング回路104等を有している。D/A変換回路103に入力される画像信号はデジタル形式であり、多くの場合は、図1に示したように各ビットごとに信号線を用いて並列に入力される。図1の例では、入力用の信号線は8本であるから、8ビットのデジタル画像信号に対応している。また、D/A変換回路103からの信号出力は、図1においては信号線は1本のみ図示しているが、複数の信号線に分割して出力されるようにしても良い。また、図1では図示していないが、必要に応じてバッファ回路、レベルシフタ回路等を配置しても良い。

【0029】D/A変換回路103には、デジタル画像信号（Digital Data）が入力される。Vrefで示される配線は、画像信号をアナログ電圧信号に変換するための階調電源を入力するためのものである。サンプリング回路104には、ソース信号線駆動回路用クロック信号（S-CLK）およびソース信号線駆動回路用スタートパルス（S-SP）が入力される。また、ゲート信号線駆動回路102には、ゲート信号線駆動回路用クロック信号（G-CLK）およびゲート信号線駆動回路用スタートパルス（G-SP）が入力される。

【0030】通常のデジタル方式の駆動回路においては、1水平期間分のデジタル画像信号を記憶するラッチ回路を必要としていたため、ビット数の多いデジタル画像信号を扱う場合には、ビット数に応じてラッチ回路が増加し、駆動回路の占有面積の増大につながっていた。これに対し、ここで説明したように、本発明の駆動回路

においては、画像信号はデジタル画像信号として入力され、アナログ変換された画像信号をサンプリング信号によってサンプリングし、画素への書き込みを行うため、デジタル画像信号を用いながらも、ラッチ回路を必要としない。よって駆動回路を構成する素子数を少なく抑えられることが出来るため、回路面積の縮小に貢献する。

【0031】また、画像信号のサンプリングはアナログ方式の駆動回路と同様であるが、画像信号をデジタル形式で取り扱うことが出来るため、ノイズ等による影響を受けにくく、高画質が得られるという利点を有する。

【0032】また、本発明はガラス基板上に形成される表示装置の駆動回路のみならず、Si基板上に形成される表示装置の駆動回路についても容易に適用され得る。

【0033】

【実施例】以下に本発明の実施例について記述する。

【0034】[実施例1]図2は、本発明を利用してアクティブマトリクス型表示装置のソース信号線駆動回路を構成した例を示している。本例で示した図においては、水平方向の画素数を1024画素として図示している。ソース信号線駆動回路は、D/A変換回路201、サンプリング回路202、ソース信号線206を有し、サンプリング回路202は、本実施例においてはシフトレジスタ（SR）203、レベルシフタ（LS）204、アナログスイッチ（ASW）205により構成されているが、本発明におけるサンプリング回路はこの例には限定されない。また、D/A変換回路201に入力されるデジタル画像信号のビット数は、ここでは8ビットとして記述する。

【0035】回路の動作について説明する。まず、シフトレジスタ回路203に、クロック信号（S-CLK）およびスタートパルス（S-SP）が入力され、順次サンプリングパルスが出力される。サンプリングパルスはレベルシフタ204によって電圧振幅の変換を受け、アナログスイッチ205へ入力される。

【0036】一方、画像信号は、デジタル形式でD/A変換回路201に入力され、アナログ変換されてビデオ信号線207へと出力される。

【0037】ビデオ信号線207にアナログ画像信号が出力されると、シフトレジスタ回路203からアナログスイッチ205にサンプリングパルスが入力されるタイミングに合わせて、ビデオ信号線207に書き込まれた画像信号をサンプリングし、ソース信号線206（S001～S1024）のそれぞれへと出力し、画素への書き込みが行われることによって画像の表示がなされる。

【0038】本実施例にて用いたD/A変換回路は、容量型、抵抗型、あるいは両方を組み合わせたもの等を用いればよい。

【0039】[実施例2]実施例1では、デジタル画像信号は、複数の信号線を用いて直接D/A変換回路へと入力されていた。本実施例では、図1および図2に示した

回路に、S/P変換回路を追加し、直列に入力されるデジタル画像信号を並列変換し、D/A変換回路に入力する構成の表示装置について例を挙げて説明する。

【0040】図3に、本実施例における表示装置の例を示す。ソース信号線駆動回路301は、S/P変換回路303、D/A変換回路304、サンプリング回路305を有している。ゲート信号線駆動回路302、および画素部306は、従来例および実施例1にて示したものと同様で良い。

【0041】S/P変換回路303には、デジタル画像信号(Digital Data)およびS/P変換回路用クロック信号(SPC CLK)が入力される。D/A変換回路304には、Vrefで示される階調電源が入力される。サンプリング回路305には、ソース信号線駆動回路用クロック信号(S-CLK)およびソース信号線駆動回路用スタートパルス(S-SP)が入力される。また、ゲート信号線駆動回路302には、ゲート信号線駆動回路用クロック信号(G-CLK)およびゲート信号線駆動回路用スタートパルス(G-SP)が入力される。

【0042】図4は、本発明を利用して、実施例1とは異なる構成のソース信号線駆動回路を構成した例を示している。本例で示した図においては、水平方向の画素数を1024画素として図示している。ソース信号線駆動回路は、S/P変換回路401、D/A変換回路402、サンプリング回路403、ソース信号線407を有し、サンプリング回路403は、本実施例においてはシフトレジスタ(SR)404、レベルシフタ(LS)405、アナログスイッチ(ASW)406により構成されているが、本発明におけるサンプリング回路はこの例には限定されない。また、D/A変換回路402に入力されるデジタル画像信号のビット数は、ここでは8ビットとして記述する。

【0043】回路の動作について説明する。まず、シフトレジスタ回路404に、クロック信号(S-CLK)およびスタートパルス(S-SP)が入力され、順次サンプリングパルスが出力される。サンプリングパルスはレベルシフタ405によって電圧振幅の変換を受け、アナログスイッチ406へ入力される。

【0044】一方、画像信号は、実施例1では外部より並列に直接D/A変換回路へと入力されていたが、本実施例では、画像信号はS/P変換回路201に直列に入力される。続いて並列の信号に変換され、複数の出力線により、D/A変換回路402へと入力される。S/P変換回路の動作については後述する。D/A変換回路402に入力されたデジタル画像信号は、アナログ変換されてビデオ信号線408へと出力される。

【0045】ビデオ信号線408にアナログ画像信号が输出されると、シフトレジスタ回路404からアナログスイッチ406にサンプリングパルスが入力されるタイ

ミングに合わせて、ビデオ信号線408に書き込まれた画像信号をサンプリングし、ソース信号線407(S01～S1024)のそれぞれへと出力し、画素への書き込みが行われることによって画像の表示がなされる。

【0046】本実施例にて用いたD/A変換回路は、容量型、抵抗型、あるいは両方を組み合わせたもの等を用いればよい。

【0047】ところで、本実施例にて紹介した表示装置の駆動回路は、ソース信号線駆動回路に周波数の異なる複数のクロック信号が入力されるが、これらは、クロック生成回路を用いて、外部から入力される基準クロック信号から生成されている。

【0048】図5は、フリップフロップ等を用いて構成された、クロック生成回路の一例を示している。この例では、まず、基準クロック信号(B-CLK、B-CLKb:本例では5[MHz]としている)が入力されると、各出力端子より、第1のクロック信号(SPC-CLK1、SPC-CLK1b:5[MHz])、第2のクロック信号(SPC-CLK2、SPC-CLK2b:2.5[MHz])、第3のクロック信号(SPC-CLK3、SPC-CLK3b:1.25[MHz])、第4のクロック信号(S-CLK、S-CLKb:625[kHz])がそれぞれ出力される。それぞれ出力されたクロック信号は、各回路の駆動用クロック信号として供給される。

【0049】外部からそれぞれのクロック信号を入力する場合、各クロック信号の入力タイミングにズレが生ずる場合があり、結果として各駆動回路の動作タイミングにズレが生ずるため、全体として正常動作が望めなくなることになる。これは各部の動作クロック周波数が高くなるほど生じやすい。本実施例で示したように、回路の動作クロック信号源を同一のものとすることで、これらのタイミングのズレ等は大きく軽減することが出来る。

【0050】続いて、図4におけるS/P変換回路401の動作について説明する。ここでいうS/P変換とは、直列に入力されてきた信号を、m倍の長さに伸張し、m列の並列信号に分割する働きを指す。本実施例においては、具体例として、8ビットの直列信号を入力し、8倍の長さに伸張し、8列の並列信号に分割する回路を挙げて説明することにする。

【0051】図6に、S/P変換回路の回路構成例を示す。図6(A)は全体図であり、図6(B)に示すような単位回路(SPC Unit 1～7)を連結している。各SPC Unitには、前述のクロック生成回路により生成されたS/P変換回路用クロック信号が、図6(A)に示すように入力され、それぞれのSPC Unitは、1信号入力に対し、2つの出力を並列に出力するものであり、入力から最終出力までに3ステージのSPC Unitを経由する。

【0052】図6(A) (B)および、図7に示すタイミングチャートを用いて具体的に説明する。図7中、斜

線で示されるデータ群01～08が、1単位の8ビットデジタル信号である。まず、SPC-CLK1により駆動するSPC Unit1に、直列8ビットデジタル信号(Digital Data)が入力され、2列の並列データとして、DataA、DataBより出力される。この時点での各ビットごとの信号は、図7に示すように、入力時の2倍の長さに伸張されている。続いて、SPC-CLK1の半分の周波数であるSPC-CLK2により駆動するSPC Unit2およびSPC Unit3に、DataAおよびDataBからの出力が入力され、各々2列の並列データとして、DataC、DataD、DataEおよびDataFより出力される。この時点で、さらに各信号の長さは2倍に伸長されている。さらに、SPC-CLK2の半分の周波数であるSPC-CLK3により駆動するSPC Unit4～SPC Unit7に、DataC～DataFが入力され、各々2列の並列データとして、DataG～DataNより出力される。ここにきて、最初に入力された直列8ビットデジタル画像信号は、図7に示すように、各ビットの信号ごとに8倍の長さに伸張され、8列の並列データに変換された。以後、この8列の並列データ群はD/A変換回路に入力されて、アナログ画像信号へと変換され、前述のような手順を経て、画素に画像信号が書き込まれる。

【0053】[実施例3]実施例1および実施例2にて示した回路は、画素への書き込みが点順次で行われ、さらにD/A変換をそれに合わせたタイミングで行う必要があり、時間的に厳しい面がある。そこで本実施例では、S/P変換回路およびD/A変換回路をk個並列に有する駆動回路を用いて、同時にk本のソース信号線への書き込みを行うことで、前述の書き込み時間等の問題を解決する。

【0054】表示装置全体の構成は、実施例1および実施例2で示したものと同様であるので、図1を参照されたい。ここでは図示を省略する。本実施例において特徴的な構成を有するソース信号線駆動回路についてのみ、説明する。

【0055】図8は、本実施例にて説明するソース信号線駆動回路の構成図である。本実施例においても、デジタル画像信号は8ビットを例とする。S/P変換回路およびD/A変換回路を、それぞれ6個づつ有し、8ビット直列デジタル画像信号は、各S/P変換回路(SPC1～SPC6)に並列に6本(Digital Data1～6)入力される。

【0056】点線枠800で囲まれた部分の詳細図を、図9に示す。実施例2の場合と同様、S/P変換回路(SPC1)901、D/A変換回路(DAC1)902、サンプリング回路900を有している。サンプリング回路900は、本実施例においてはシフトレジスタ(SR)903、アナログスイッチ(ASW)905～

910により構成されているが、本発明におけるサンプリング回路はこの例には限定されない。実施例2と異なる点は、ビデオ信号線904を6本と、それに等しい数のアナログスイッチ905～910を有している点である。

【0057】回路の動作について説明する。引き続き、図8および図9を参照する。まず、シフトレジスタ回路903に、クロック信号(S-CLK)およびスタートパルス(S-SP)が入力され、順次サンプリングパルスが出力される。サンプリングパルスは順次、アナログスイッチ406へ入力される。本実施例の場合、図示はしていないが、レベルシフタ等を用いて、電圧振幅の変換操作等を経由しても良い。

【0058】一方、直列デジタル画像信号はS/P変換回路901(図8におけるSPC1～6)に並列に入力される。続いて並列の信号に変換され、複数の出力線より、D/A変換回路902(図8におけるDAC1～6)へと入力される。各々のS/P変換回路の動作は図6および図7を用いて説明した通りである。D/A変換回路402に入力されたデジタル画像信号は、アナログ変換されてビデオ信号線904へと出力される。このとき、6組のS/P変換回路およびD/A変換回路は、全て同時に並列駆動される。

【0059】ビデオ信号線904にアナログ画像信号が outputされると、シフトレジスタ回路903からサンプリングパルスがアナログスイッチに入力される。この時、アナログスイッチ905～910は、同時に1つのサンプリングパルスを受け、6個が同時に開く。よって、6本のビデオ信号線904に書き込まれた画像信号を同時にサンプリングする。したがって、6本のソース信号線911(S001～S006)のそれぞれへ同時に画像信号が書き込まれ、対応する画素への書き込みが行われることによって画像の表示がなされる。

【0060】ここで、図8において点線枠800で囲まれた部分の動作が完了する。以下、次段のシフトレジスタがサンプリングパルスを出力するのに伴い、再びS/P変換回路、D/A変換回路は次のデジタル画像信号の処理を行い、次の6本のソース信号線(S007～S012)への書き込みを行う。以下、同様にして、x本のソース信号線への書き込みが行われる。

【0061】以上のような構成の回路とその駆動方法を用いることによって、同時に6本のソース信号線の駆動が行える。実施例1および実施例2で示した回路において、x本のソース信号線を点順次で駆動する場合に比べ、ソース信号線1本あたりの書き込み時間を6倍とすることが出来、よってD/A変換回路におけるD/A変換の時間をより長く確保することが出来るため、信頼性の向上あるいは、さらなる高速駆動を可能とする。

【0062】水平方向の解像度が高い、すなわちソース信号線の本数が多い場合には、図8で示した駆動回路を

1つの単位回路とし、さらにそれを複数並列に配置することで、大幅な回路の構成変更等を必要とせず、高解像度化に容易に対応が可能である。

【0063】[実施例4]本実施例では、本発明の表示装置の画素部とその周辺に設けられる駆動回路部（ソース信号線側駆動回路、ゲート信号線側駆動回路、画素選択信号線側駆動回路）のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位であるCMOS回路を図示することとする。

【0064】まず、図10（A）に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミニノホウケイ酸ガラスなどのガラスから成る基板5001上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜5002を形成する。例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜5002aを10～200[nm]（好ましくは50～100[nm]）形成し、同様にSiH₄、N₂Oから作製される酸化窒化水素化シリコン膜5002bを50～200[nm]（好ましくは100～150[nm]）の厚さに積層形成する。本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0065】島状半導体層5003～5006は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層5003～5006の厚さは25～80[nm]（好ましくは30～60[nm]）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

【0066】レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30[Hz]とし、レーザーエネルギー密度を100～400[mJ/cm²]（代表的には200～300[mJ/cm²]）とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10[kHz]とし、レーザーエネルギー密度を300～600[mJ/cm²]（代表的には350～500[mJ/cm²]）とすると良い。そして幅100～1000[μm]、例えば400[μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を80～98[%]として行

う。

【0067】次いで、島状半導体層5003～5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40～150[nm]としてシリコンを含む絶縁膜で形成する。本実施例では、120[nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものではなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS（Tetraethyl Orthosilicate）とO₂とを混合し、反応圧力40[Pa]、基板温度300～400[°C]とし、高周波（13.56[MHz]）、電力密度0.5～0.8[W/cm²]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400～500[°C]の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0068】そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50～100[nm]の厚さに形成し、第2の導電膜5009をWで100～300[nm]の厚さに形成する。

【0069】Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、α相のTa膜の抵抗率は20[μΩcm]程度でありゲート電極に使用することが出来るが、β相のTa膜の抵抗率は180[μΩcm]程度でありゲート電極とするには不向きである。α相のTa膜を形成するために、Taのα相に近い結晶構造をもつ窒化タンタルを10～50[nm]程度の厚さでTaの下地に形成しておくとα相のTa膜を容易に得ることが出来る。

【0070】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タンゲステン（WF₆）を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20[μΩcm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999[%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分分配してW膜を形成することにより、抵抗率9～20[μΩcm]を実現することが出来る。

【0071】なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cu

などから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例で望ましいものとしては、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をWとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をAlとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をCuとする組み合わせ等が挙げられる。

【0072】次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッチング法を行い、エッチング用ガスにCF₄とCl₂を混合し、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0073】上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパー形状となる。テーパー部の角度は15～45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10～20[%]程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2～4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20～50[nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011～5016(第1の導電層5011a～5016aと第2の導電層5011b～5016b)を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011～5016で覆われない領域は20～50[nm]程度エッチングされ薄くなった領域が形成される。(図10(A))

【0074】そして、第1のドーピング処理を行いN型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}$ [atoms/cm²]とし、加速電圧を60～100[keV]として行う。N型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層5011～5016がN型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域50

17～5020が形成される。第1の不純物領域5017～5020には $1 \times 10^{20} \sim 1 \times 10^{21}$ [atoms/cm³]の濃度範囲でN型を付与する不純物元素を添加する。

(図10(B))

【0075】次に、図10(C)に示すように、レジストマスクは除去しないまま、第2のエッチング処理を行う。エッチングガスにCF₄とCl₂とO₂とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層5021～5026(第1の導電層5021a～5026aと第2の導電層5021b～5026b)を形成する。このとき、ゲート絶縁膜5007においては、第2の形状の導電層5021～5026で覆われない領域はさらに20～50[nm]程度エッチングされ薄くなった領域が形成される。

【0076】W膜やTa膜のCF₄とCl₂の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF₆が極端に高く、その他のWC₁₅、TaF₅、TaCl₅は同程度である。従って、CF₄とCl₂の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量のO₂を添加するとCF₄とO₂が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、O₂を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0077】そして、図11(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてN型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120[keV]とし、 1×10^{13} [atoms/cm²]のドーズ量で行い、図10(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5021～5026を不純物元素に対するマスクとして用い、第1の導電層5021a～5026aの下側の領域の半導体層にも不純物元素が添加されるようにドーピングする。こうして、第2の不純物領域5027～5031が形成される。この第2の不純物領域5027～5031に添加されたリン(P)の濃度は、第1の導電層5021a～5026aのテーパー部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層5021a～5026aのテーパー部と重なる半導体層において、

第1の導電層5021a～5026aのテーパー部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【0078】 続いて、図11(B)に示すように第3のエッチング処理を行う。エッティングガスにCHF₆を用い、反応性イオンエッティング法(RIE法)を用いて行う。第3のエッティング処理により、第1の導電層5021a～5026aのテーパー部を部分的にエッティングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッティング処理によって、第3の形状の導電層5032～5037(第1の導電層5032a～5037aと第2の導電層5032b～5037b)を形成する。このとき、ゲート絶縁膜5007においては、第3の形状の導電層5032～5037で覆われない領域はさらに20～50[nm]程度エッティングされ薄くなった領域が形成される。

【0079】 第3のエッティング処理によって、第2の不純物領域5027～5031においては、第1の導電層5032a～5037aと重なる第2の不純物領域5027a～5031aと、第1の不純物領域と第2の不純物領域との間の第3の不純物領域5027b～5031bとが形成される。

【0080】 そして、図11(C)に示すように、Pチャネル型TFTを形成する島状半導体層5004に、第1の導電型とは逆の導電型の第4の不純物領域5039～5044を形成する。第3の形状の導電層5033bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、Nチャネル型TFTを形成する島状半導体層5003、5005、保持容量部5006および配線部5034はレジストマスク5038で全面を被覆しておく。不純物領域5039～5044にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B₂H₆)を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が2×10²⁰～2×10²¹[atoms/cm³]となるようにする。

【0081】 以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5032、5033、5035、5036がゲート電極として機能する。また、5034は島状のソース信号線として機能する。5037は容量配線として機能する。

【0082】 レジストマスク5038を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することが出来る。熱アニール法では酸素濃度が1[ppm]以下、好ましくは0.1[ppm]以下の窒素雰囲気中で400～700[°C]、代表的には500～600[°C]で行うものであ

り、本実施例では500[°C]で4時間の熱処理を行う。ただし、第3の形状の導電層5037～5042に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0083】 さらに、3～100[%]の水素を含む雰囲気中で、300～450[°C]で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0084】 次いで、第1の層間絶縁膜5045は酸化窒化シリコン膜から100～200[nm]の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5046を形成する。次いで、コンタクトホールを形成するためのエッティング工程を行う。

【0085】 そして、駆動回路部において島状半導体層のソース領域とコンタクトを形成するソース配線5047、5048、ドレイン領域とコンタクトを形成するドレイン配線5049を形成する。また、画素部においては、接続電極5050、画素電極5051、5052を形成する(図12(A))。この接続電極5050により、ソース信号線5034は、画素TFTと電気的な接続が形成される。なお、画素電極5052及び保持容量は隣り合う画素のものである。

【0086】 以上のようにして、Nチャネル型TFT、Pチャネル型TFTを有する駆動回路部と、画素TFT、保持容量を有する画素部とを同一基板上に形成することができる。本明細書中ではこのような基板をアクティブマトリクス基板と呼ぶ。

【0087】 本実施例は、ブラックマトリクスを用いることなく、画素電極間の隙間を遮光することができるよう、画素電極の端部を信号線や走査線と重なるように配置されている。

【0088】 また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトマスクの数を5枚(島状半導体層パターン、第1配線パターン(走査線、信号線、容量配線)、Pチャネル領域のマスクパターン、コンタクトホールパターン、第2配線パターン(画素電極、接続電極含む))とすることができます。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【0089】 続いて、図12(B)の状態のアクティブマトリクス基板を得た後、アクティブマトリクス基板上に配向膜5053を形成しラビング処理を行う。

【0090】 一方、対向基板5054を用意する。対向基板5054にはカラーフィルター層5055～5057、オーバーコート層5058を形成する。カラーフィルター層はTFTの上方で赤色のカラーフィルター層5

055と青色のカラーフィルター層5056とを重ねて形成し遮光膜を兼ねる構成とする。少なくともTFTと、接続電極と画素電極との間を遮光する必要があるため、それらの位置を遮光するように赤色のカラーフィルターと青色のカラーフィルターを重ねて配置することが好ましい。

【0091】また、接続電極5050に合わせて赤色のカラーフィルター層5055、青色のカラーフィルター層5056、緑色のカラーフィルター層5057とを重ね合わせてスペーサを形成する。各色のカラーフィルターはアクリル樹脂に顔料を混合したもので1～3[μm]の厚さで形成する。これは感光性材料を用い、マスクを用いて所定のパターンに形成することができる。スペーサの高さはオーバーコート層5058の厚さ1～4[μm]を考慮することにより2～7[μm]、好ましくは4～6[μm]とすることができます、この高さによりアクティブマトリクス基板と対向基板とを貼り合わせた時のギャップを形成する。オーバーコート層5058は光硬化型または熱硬化型の有機樹脂材料で形成し、例えば、ポリイミドやアクリル樹脂などを用いる。

【0092】スペーサの配置は任意に決定すれば良いが、例えば図12（B）で示すように接続電極上に位置が合うように対向基板5054上に配置すると良い。また、駆動回路部のTFT上にその位置を合わせてスペーサを対向基板5054上に配置してもよい。このスペーサは駆動回路部の全面に渡って配置しても良いし、ソース配線およびドレイン配線を覆うようにして配置しても良い。

【0093】オーバーコート層5058を形成した後、対向電極5059をパターニング形成し、配向膜5060を形成した後ラビング処理を行う。

【0094】そして、画素部と駆動回路部が形成されたアクティブマトリクス基板と対向基板とをシール剤5062で貼り合わせる。シール剤5062にはフィラーが混入されていて、このフィラーとスペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料5061を注入し、封止剤（図示せず）によって完全に封止する。液晶材料5061には公知の液晶材料を用いれば良い。このようにして図12（B）に示すアクティブマトリクス型液晶表示装置が完成する。

【0095】なお、上記の行程により作成されるTFTはトップゲート構造であるが、ボトムゲート構造のTFTやその他の構造のTFTに対しても本実施例は容易に適用され得る。

【実施例5】本発明の駆動回路を用いたアクティブマトリクス型表示装置には様々な用途がある。本実施例では、本発明の駆動回路を用いた表示装置を組み込んだ半導体装置について説明する。

【0096】このような表示装置には、携帯情報端末

（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、デジタルカメラ、パソコンコンピュータ、テレビ、プロジェクタ装置等が挙げられる。それらの一例を図15、図16および図17に示す。

【0097】図15（A）は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606から構成されている。本発明は表示部2604に適用することができる。

【0098】図15（B）はビデオカメラであり、本体2611、表示部2612、音声入力部2613、操作スイッチ2614、バッテリー2615、受像部2616から成っている。本発明は表示部2612に適用することができる。

【0099】図15（C）はモバイルコンピュータあるいは携帯型情報端末であり、本体2621、カメラ部2622、受像部2623、操作スイッチ2624、表示部2625で構成されている。本発明は表示部2625に適用することができる。

【0100】図15（D）はヘッドマウントディスプレイであり、本体2631、表示部2632、アーム部2633で構成される。本発明は表示部2632に適用することができる。

【0101】図15（E）はテレビであり、本体2641、スピーカー2642、表示部2643、受信装置2644、増幅装置2645等で構成される。本発明は表示部2643に適用することができる。

【0102】図15（F）は携帯書籍であり、本体2651、表示部2652、記憶媒体2653、操作スイッチ2654、アンテナ2655から構成されており、ミニディスク（MD）やDVD（Digital Versatile Disc）に記憶されたデータや、アンテナで受信したデータを表示するものである。本発明は表示部2652に適用することができる。

【0103】図16（A）はパソコンコンピュータであり、本体2701、画像入力部2702、表示部2703、キーボード2704で構成される。本発明は表示部2703に適用することができる。

【0104】図16（B）はプログラムを記録した記録媒体を用いるプレーヤーであり、本体2711、表示部2712、スピーカー部2713、記録媒体2714、操作スイッチ2715で構成される。なお、この装置は記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行なうことができる。本発明は表示部2712に適用することができる。

【0105】図16（C）はデジタルカメラであり、本体2721、表示部2722、接眼部2723、操作スイッチ2724、受像部（図示しない）で構成される。本発明は表示部2722に適用することができる。

【0106】図16(D)は片眼のヘッドマウントディスプレイであり、表示部2731、バンド部2732で構成される。本発明は表示部2731に適用することができる。

【0107】図17(A)はフロント型プロジェクタであり、投射装置本体2801、表示装置2802、光源2803、光学系2804、スクリーン2805で構成されている。なお、投射装置2801には単版式のものを用いても良いし、R、G、Bの光にそれぞれ対応した三板式のものを用いても良い。本発明は表示装置2802に適用することができる。

【0108】図17(B)はリア型プロジェクタであり、本体2811、投射装置本体2812、表示装置2813、光源2814、光学系2815、リフレクター2816、スクリーン2817で構成されている。なお、投射装置2813には単版式のものを用いても良いし、R、G、Bの光にそれぞれ対応した三板式のものを用いても良い。本発明は表示装置2813に適用することができる。

【0109】なお、図17(C)は、図17(A)及び図17(B)中における投射装置本体2801、2812の構造の一例を示した図である。投射装置2801、2812は、光源光学系2821、ミラー2822、2824～2826、ダイクロイックミラー2823、プリズム2827、表示装置2828、位相差板2829、投射光学系2830で構成される。投射光学系2830は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単版式であっても良い。また、図17(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けても良い。

【0110】また、図17(D)は、図17(C)中における光源光学系2821の構造の一例を示した図である。本実施例では、図17(C)中における光源光学系2821は、図17(D)中におけるリフレクター2831、光源2832、レンズアレイ2833、偏光変換素子2834、集光レンズ2835で構成される。なお、図17(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けても良い。

【発明の効果】本発明の表示装置を用いることにより、

デジタル方式の表示装置の有するソース信号線駆動回路部においては、その占有面積の拡大の大きな要因であつたラッチ回路を必要としなくなるため、駆動回路の配置面積を大きく拡大することなく階調を増やすことが可能となり、また、さらなる駆動回路の小面積化を図ることが出来る。よって、画面の高解像度化および高精細化に大きく寄与出来る。並びに、画素部と駆動回路とを同一の基板上に一体形成することにより、表示装置全体の小型化にも貢献する。

【図面の簡単な説明】

【図1】 本発明の駆動回路を用いた表示装置の構成例を示す図。

【図2】 実施例1に示した、本発明の駆動回路におけるソース信号線駆動回路の構成例を示す図。

【図3】 実施例2に示した、本発明の駆動回路を用いた表示装置の構成例を示す図。

【図4】 実施例2に示した、本発明の駆動回路におけるソース信号線駆動回路の構成例を示す図。

【図5】 実施例2に示した、クロック生成回路の構成例を示す図。

【図6】 実施例2に示した、S/P変換回路の構成例を示す図。

【図7】 図6に示した、S/P変換回路の動作に関するタイミングチャートを示す図。

【図8】 実施例3に示した、本発明の駆動回路におけるソース信号線駆動回路の構成例を示す図。

【図9】 図8に示した回路の部分詳細構成を示す図。

【図10】 実施例4に示した、本発明の駆動回路を用いた表示装置の作成工程例を示す図。

【図11】 実施例4に示した、本発明の駆動回路を用いた表示装置の作成工程例を示す図。

【図12】 実施例4に示した、本発明の駆動回路を用いた表示装置の作成工程例を示す図。

【図13】 従来の表示装置の回路構成図。

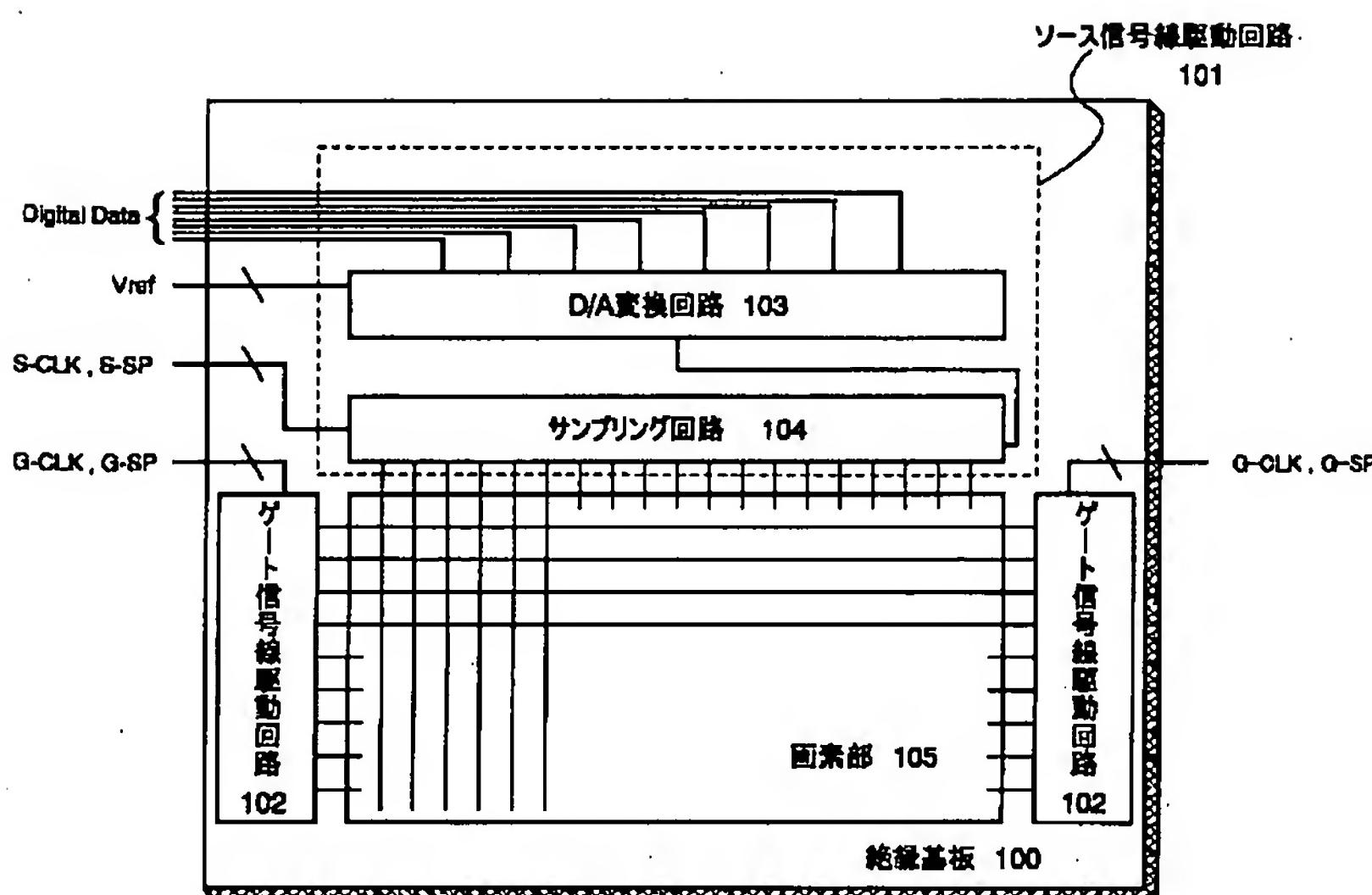
【図14】 従来の表示装置の駆動回路におけるソース信号線駆動回路の回路構成図。

【図15】 実施例5に示した、本発明の駆動回路を適用した電子機器の例を示す図。

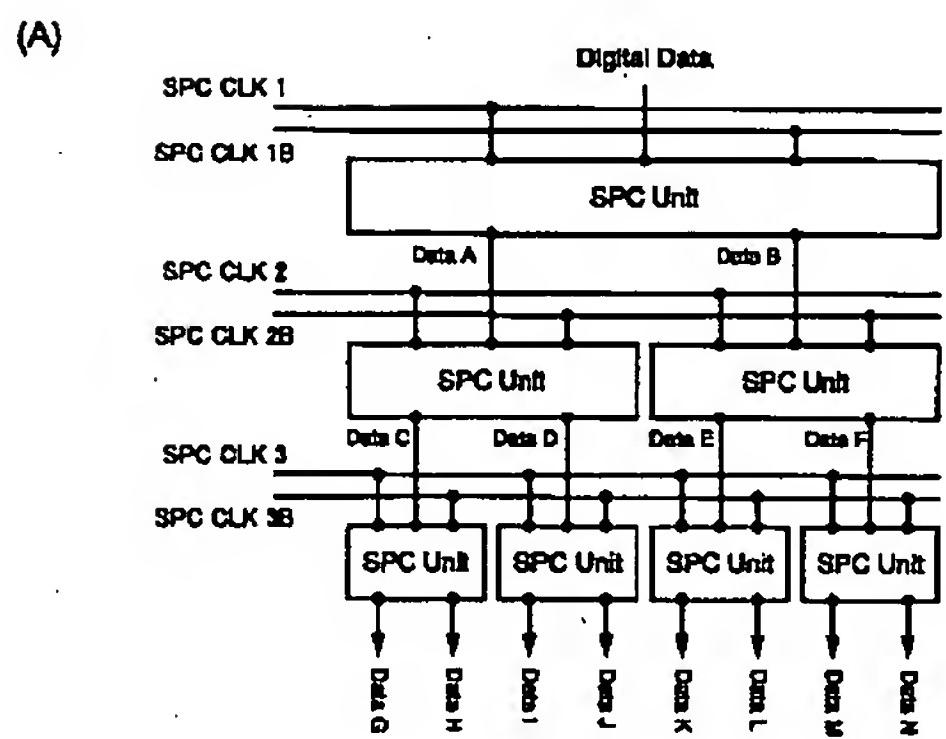
【図16】 実施例5に示した、本発明の駆動回路を適用した電子機器の例を示す図。

【図17】 実施例5に示した、本発明の駆動回路を適用した電子機器の例を示す図。

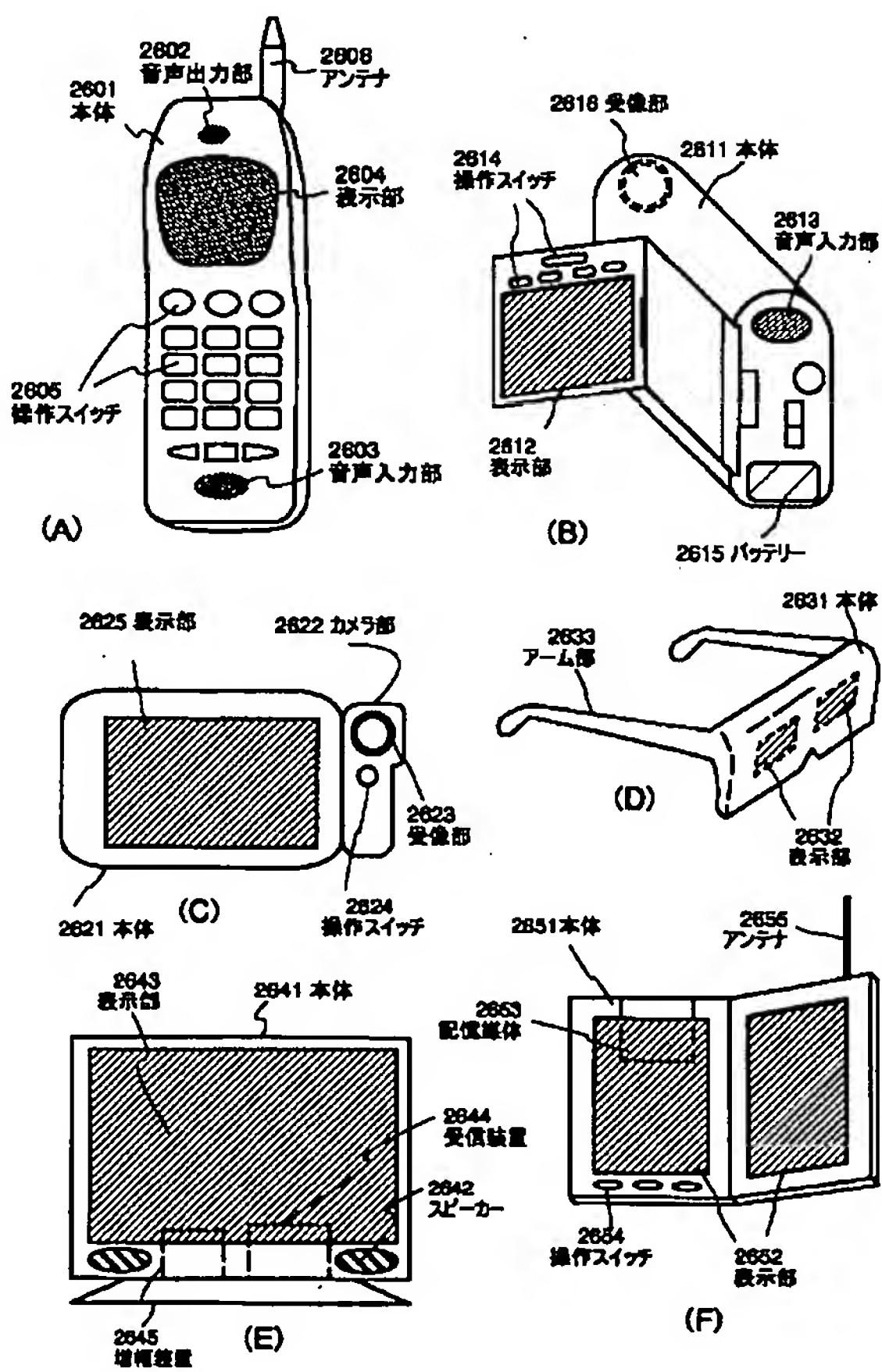
【図1】



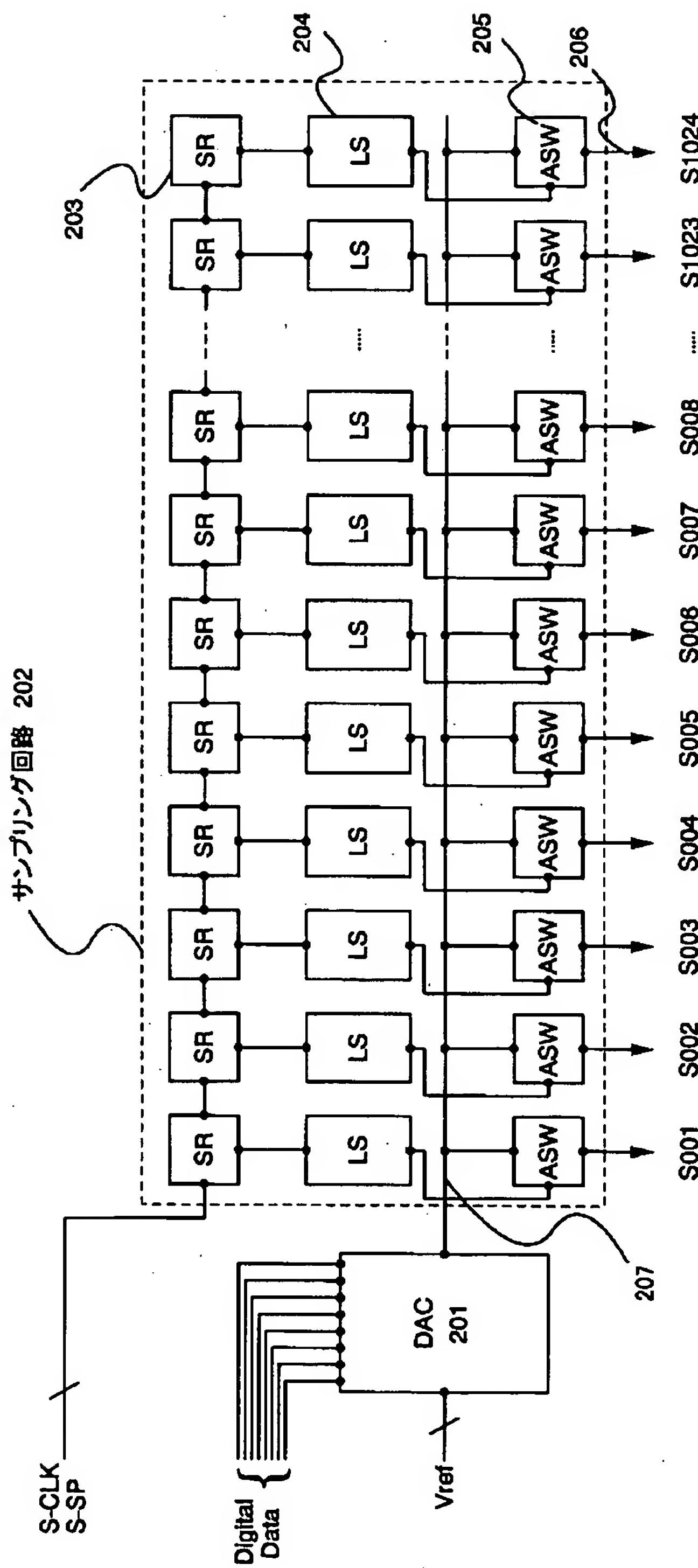
【図6】



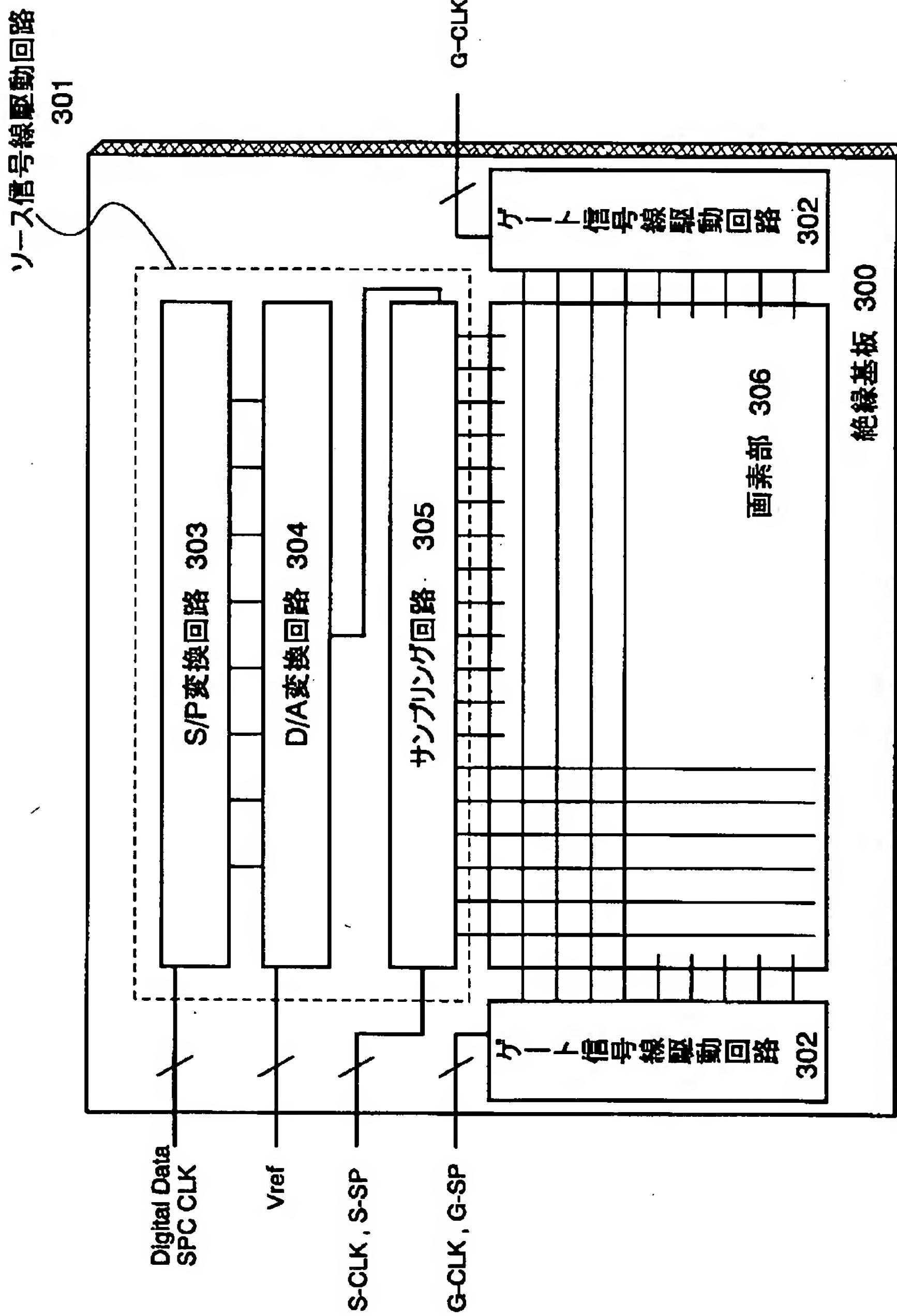
【図15】



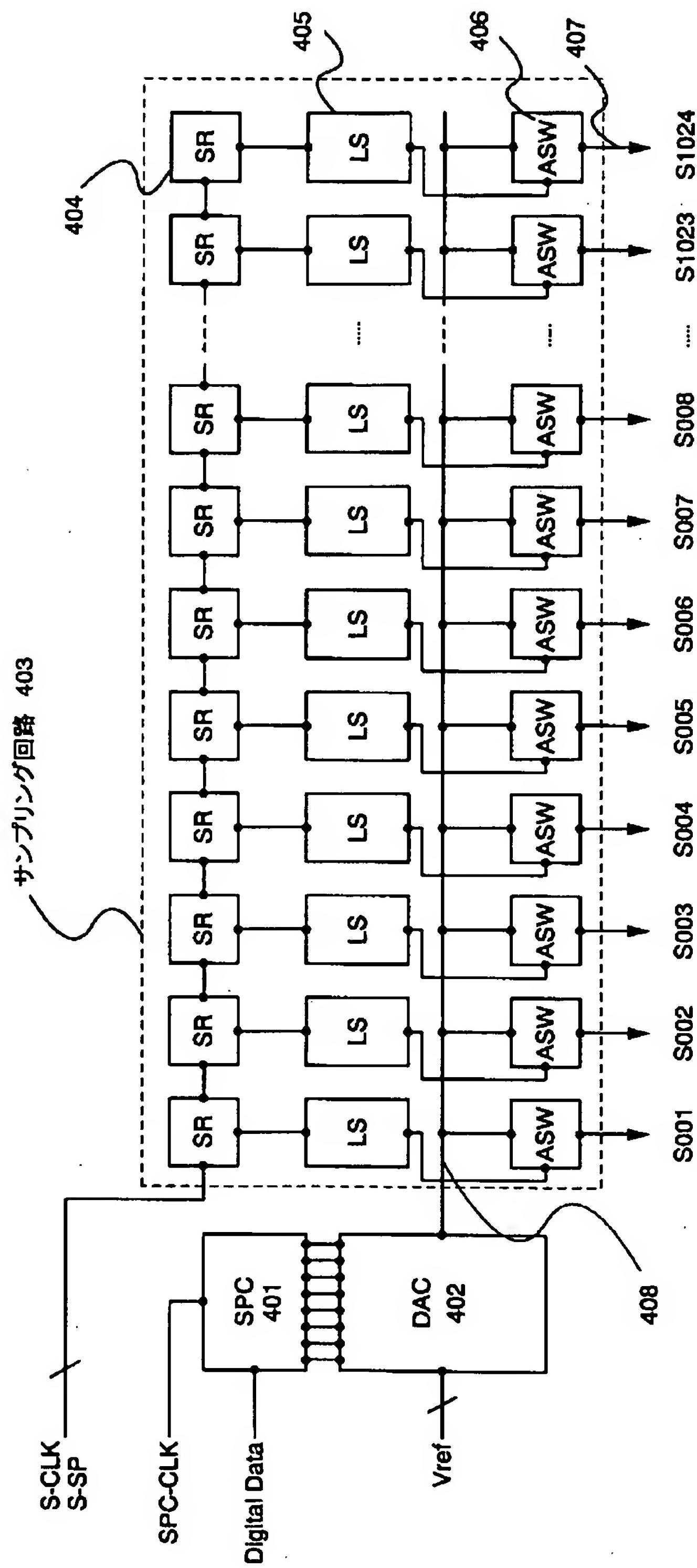
[図2]



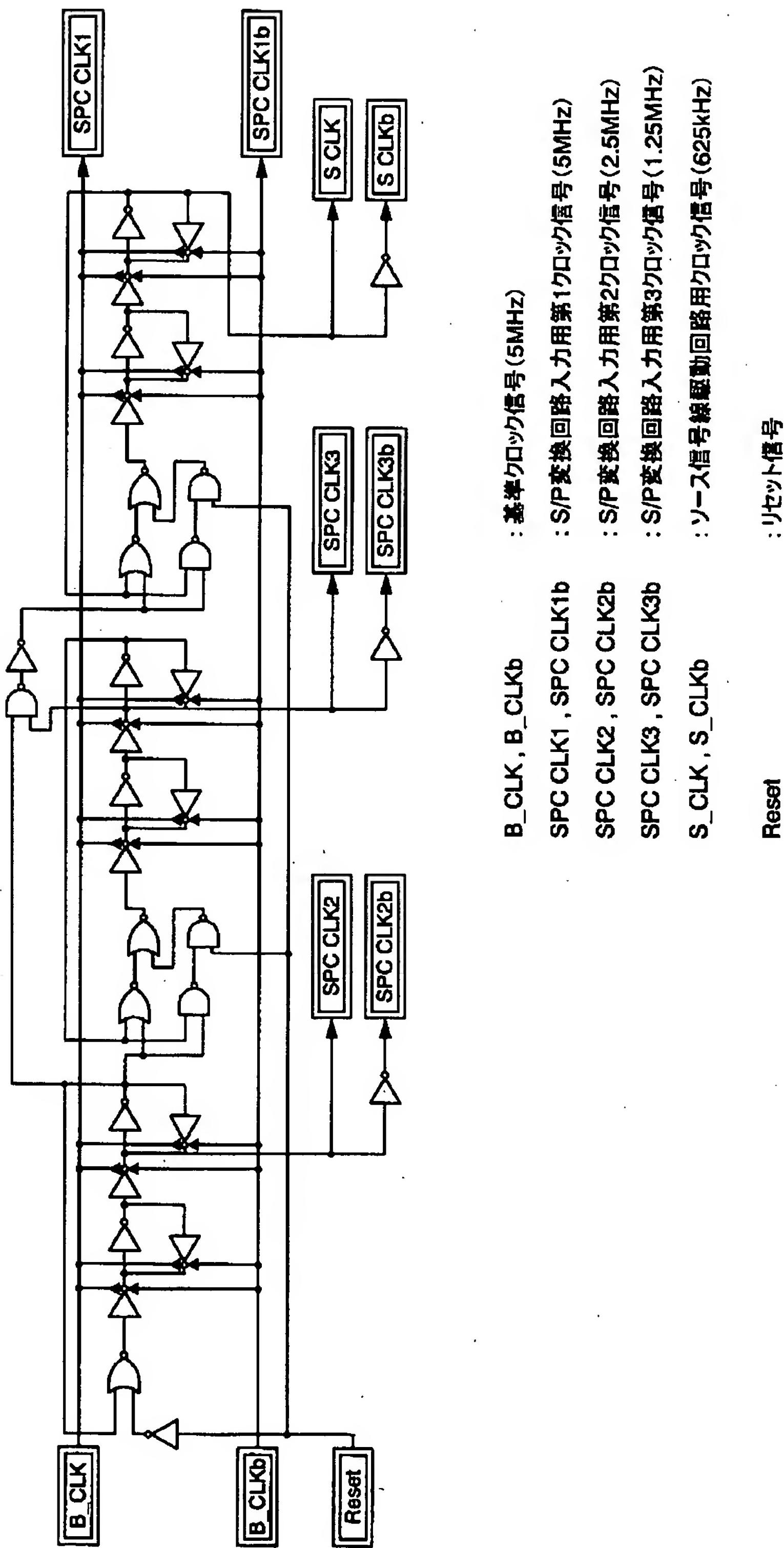
【図3】



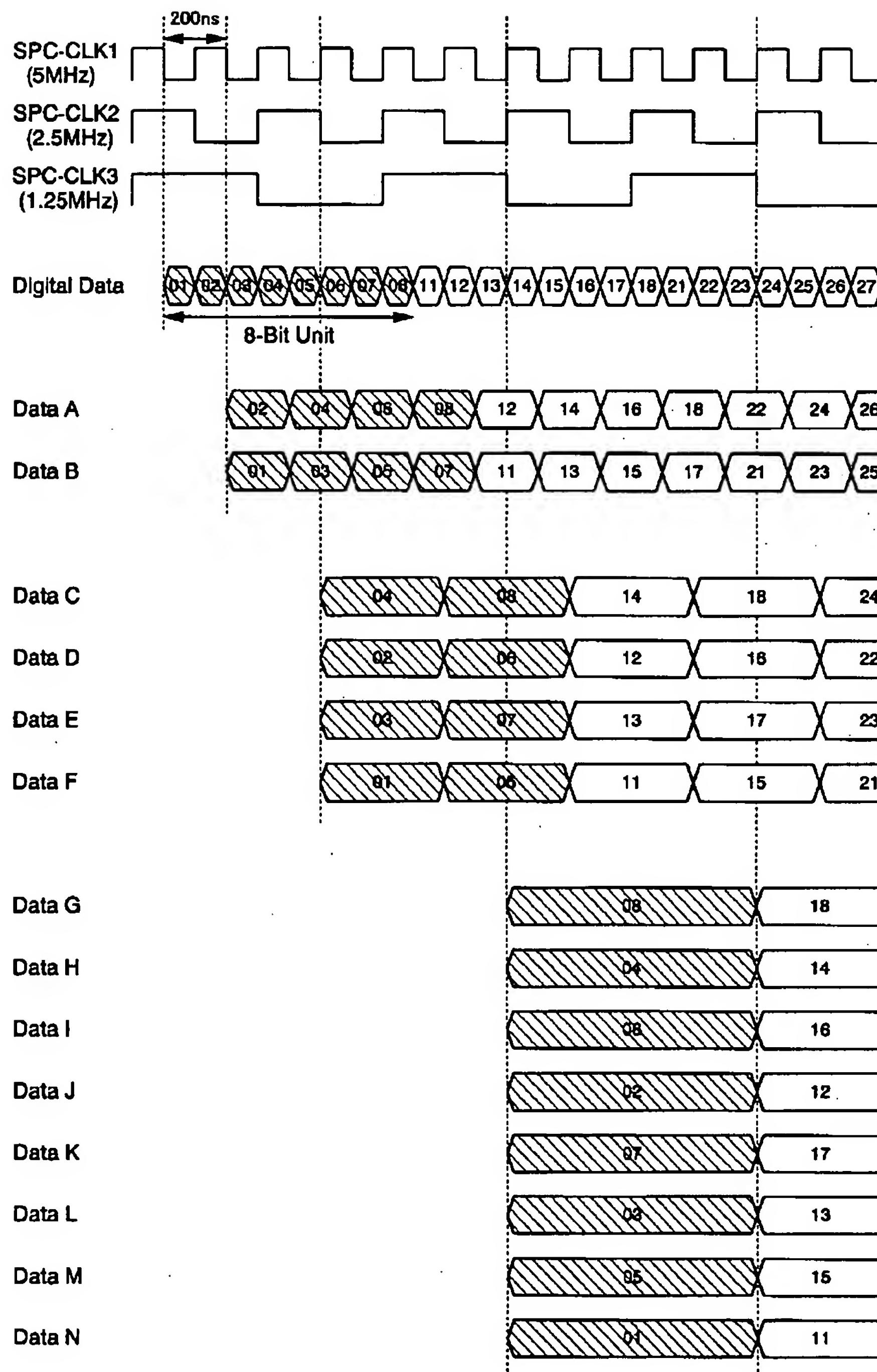
【図4】



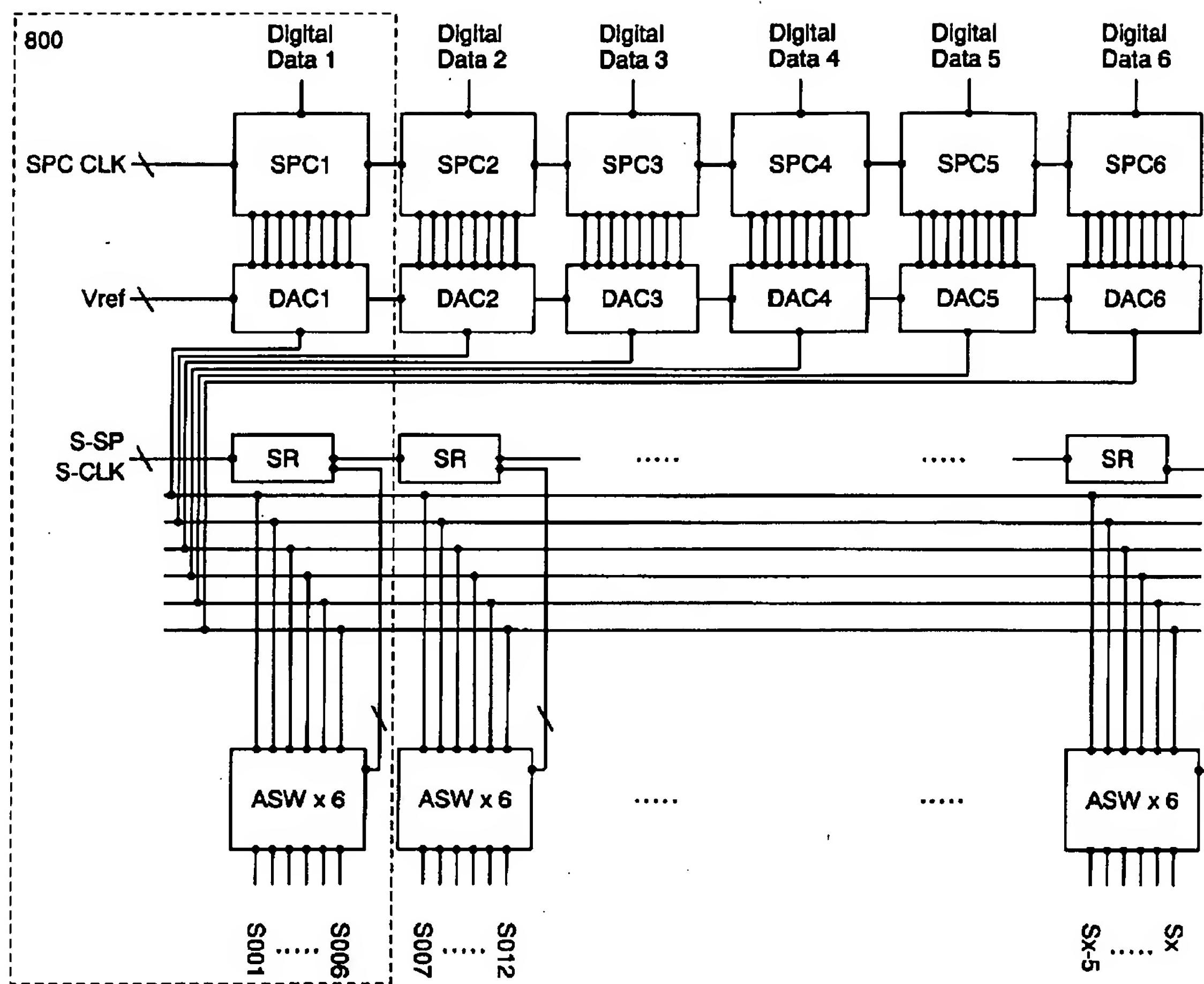
【図5】



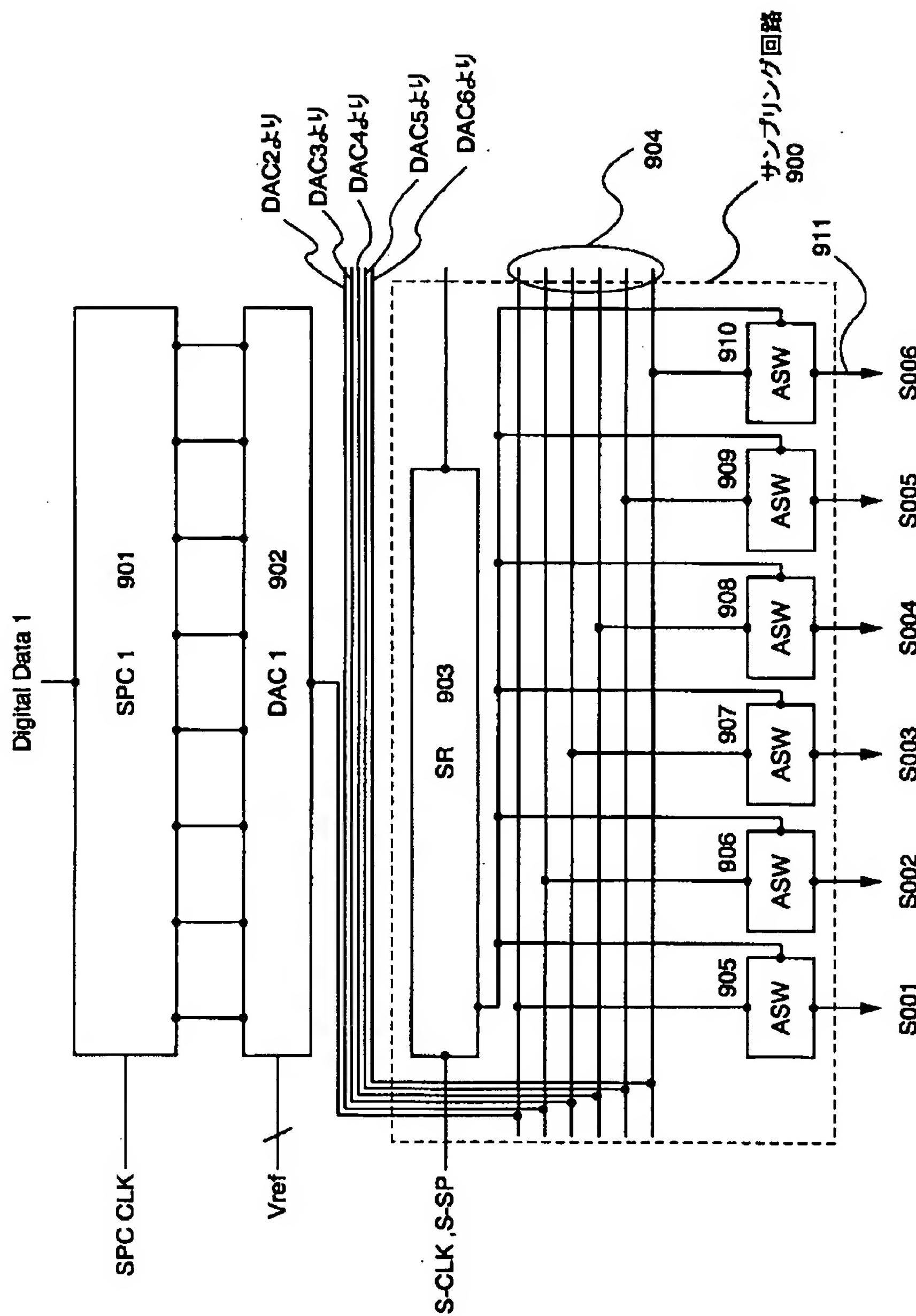
【図7】



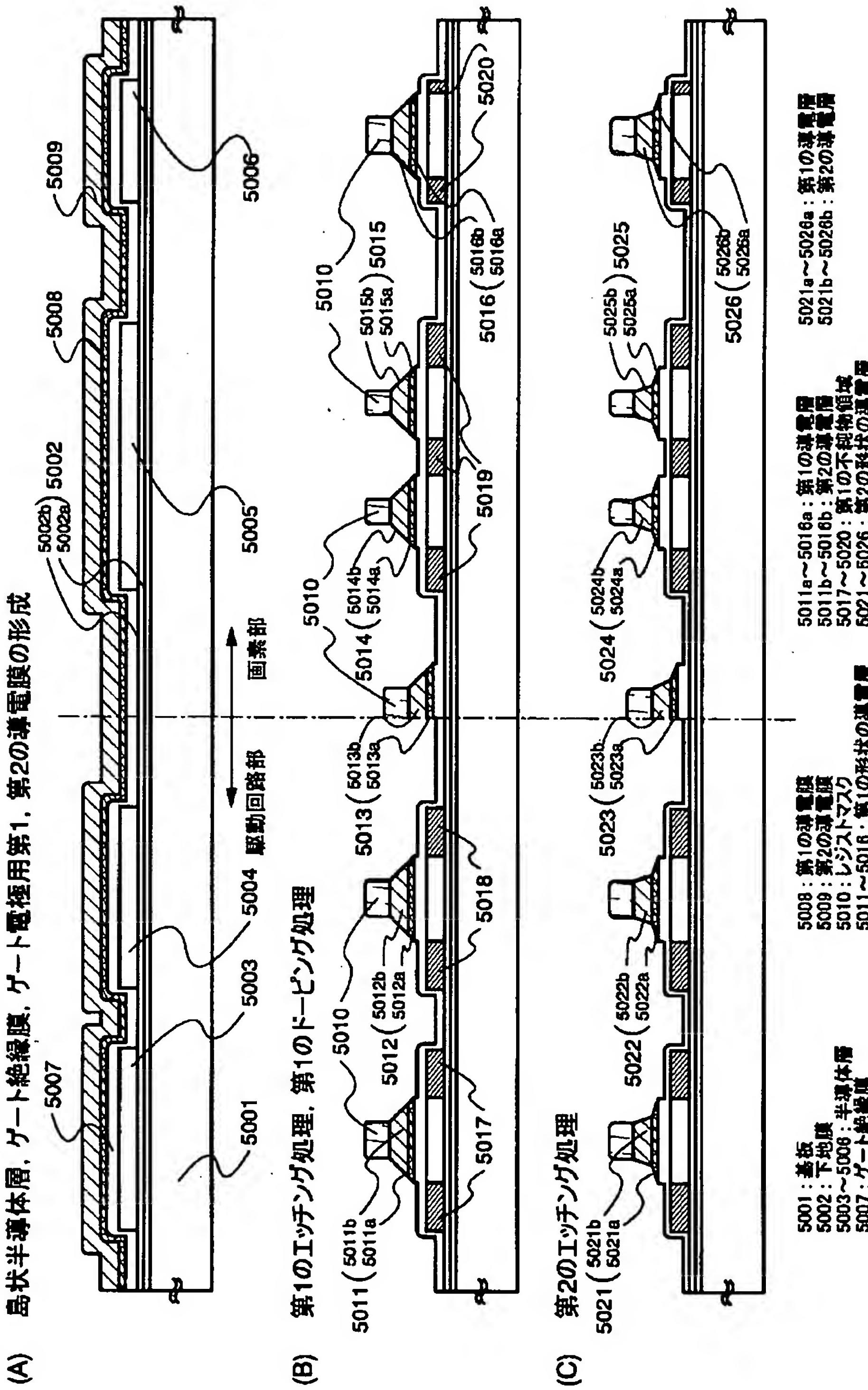
【図8】



【図9】

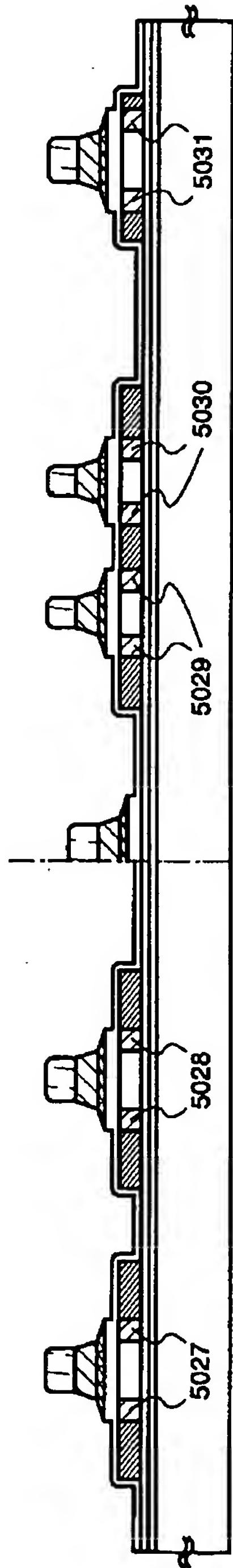


【図10】

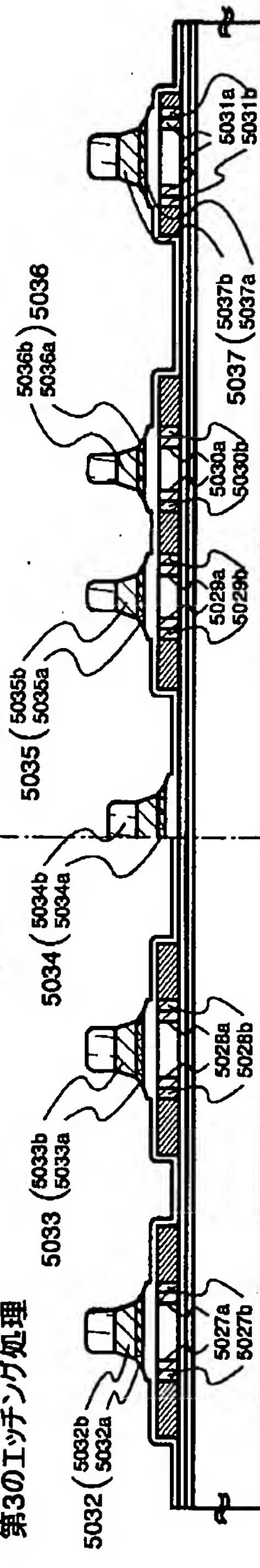


【図11】

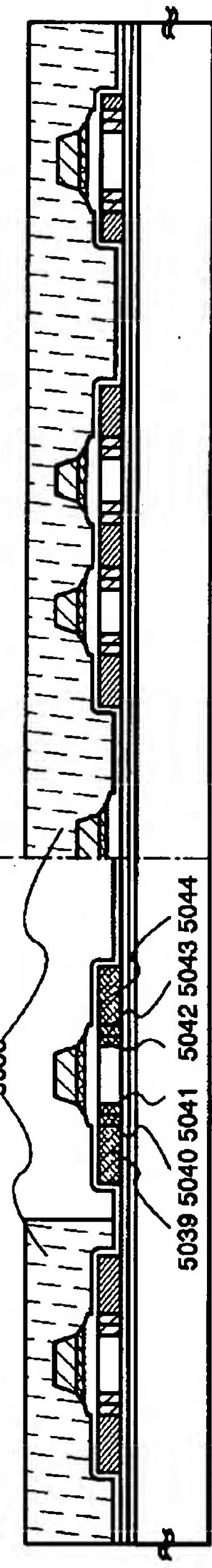
(A) 第2のドーピング処理



(B) 第3のエッチング処理



(C) 第3のドーピング処理

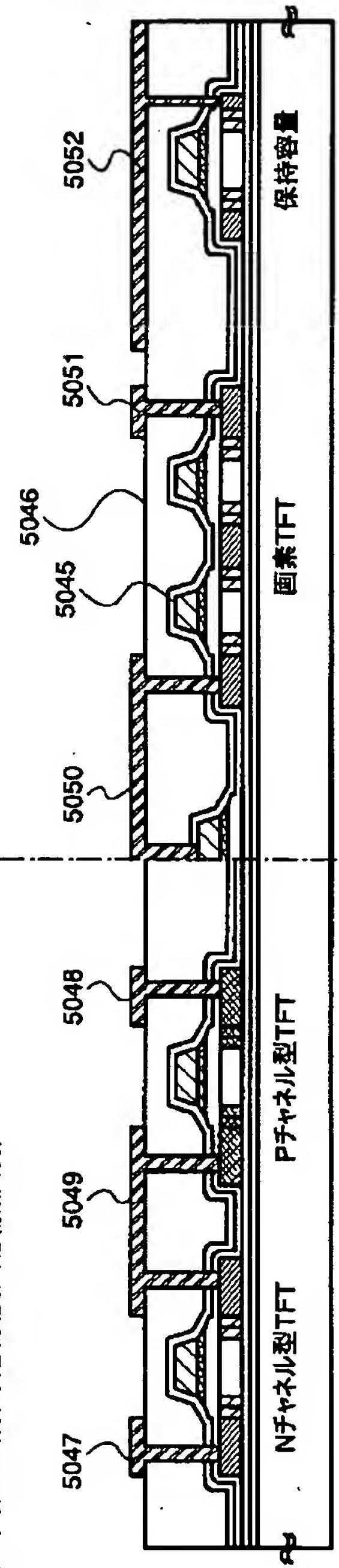


5027～5031 : 第2の不純物領域(エッティング前)
5027a～5031a : 第2の不純物領域(エッティング後)
5027b～5031b : 第3の不純物領域
5032～5037 : 第3の形状の導電層

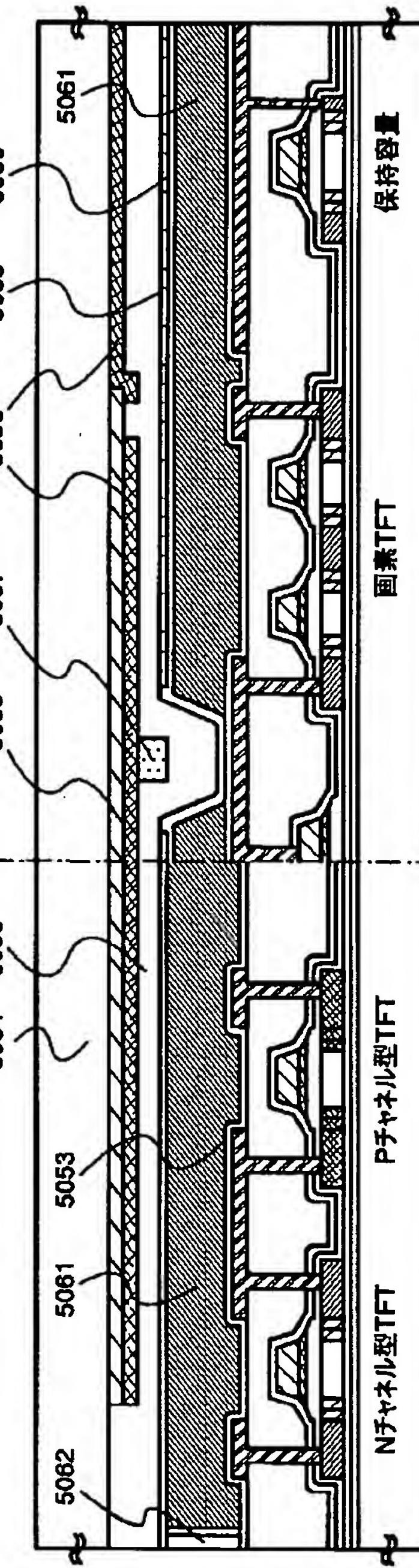
5032a～5037a : 第1の導電層
5032b～5037b : 第2の導電層
5038 : レジストマスク
5039～5044 : 第4の不純物領域

【図12】

(A) 第1、第2の層間絶縁膜、配線形成、

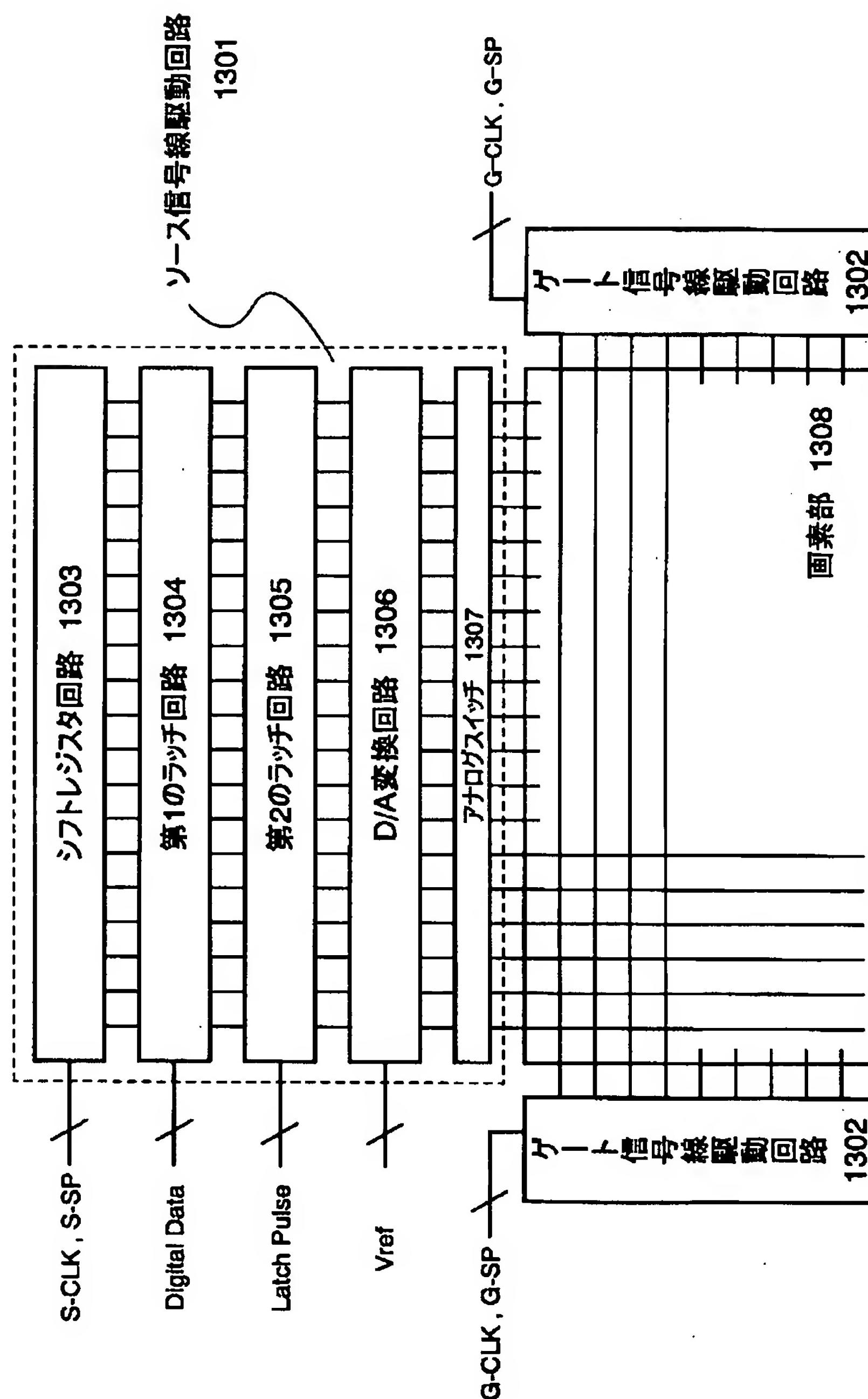


(B) 対向基板側形成、液晶材料封入

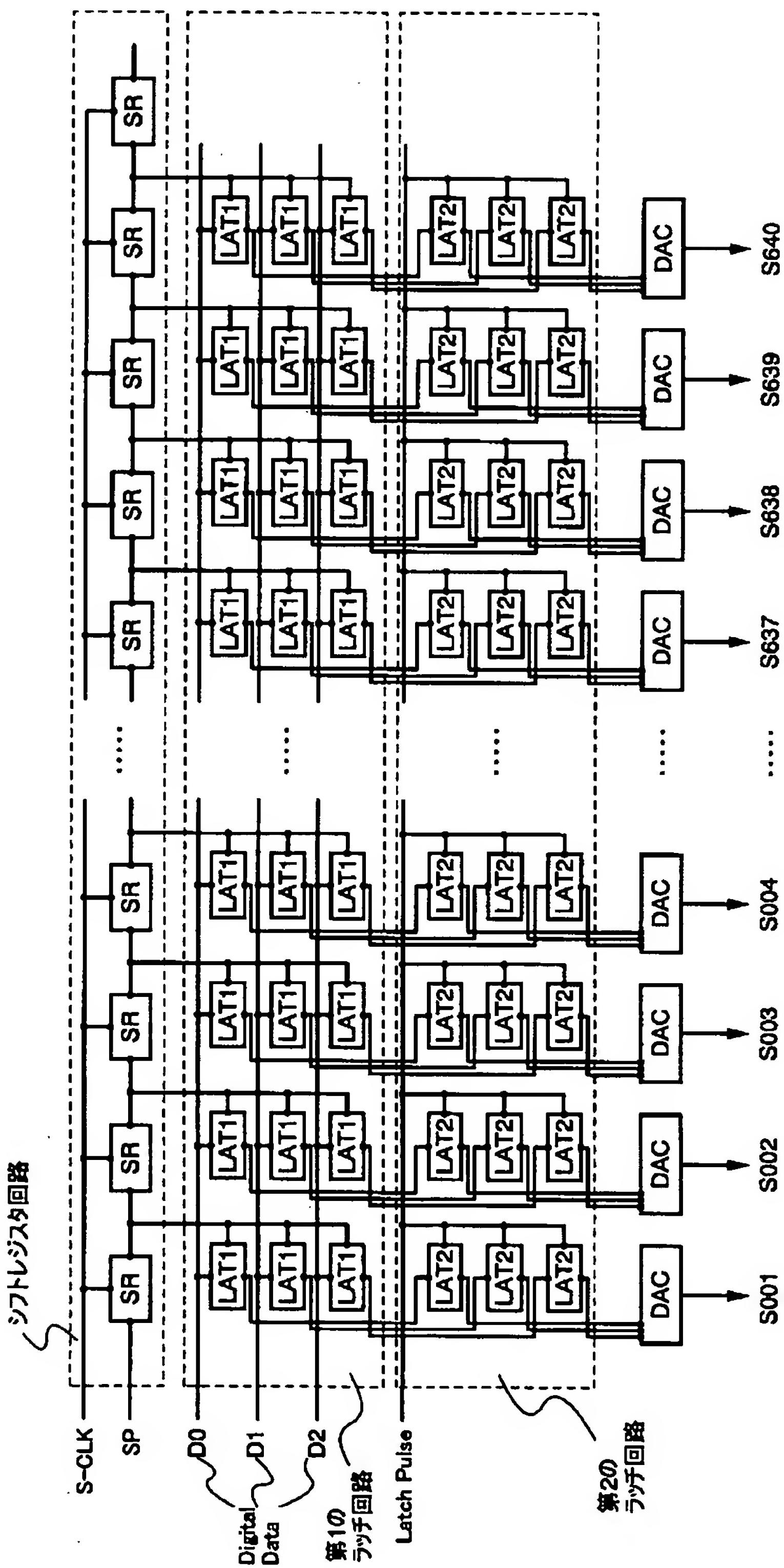


5045: 第1の層間絶縁膜
5046: 第2の層間絶縁膜
5047~5048: ソース配線
5049: ドレイン配線
5050: 接続電極
5051~5052: 画素電極
5053: オーバーコート層
5054: 対向基板
5055~5057: カラーフィルタ層
5058: 対向基板
5059: 配向膜
5060: 配向膜
5061: 液晶材料
5062: シール剤

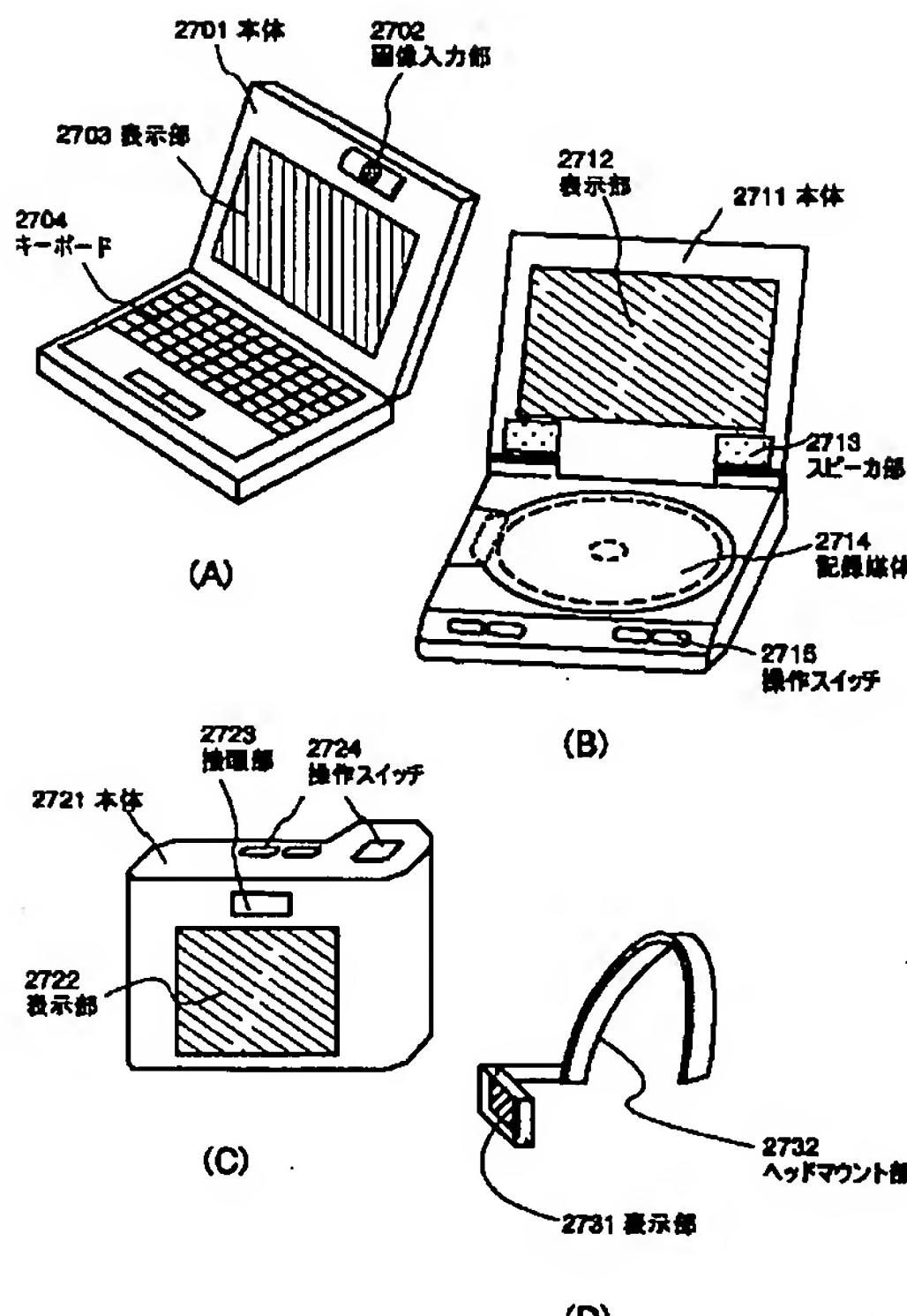
【図13】



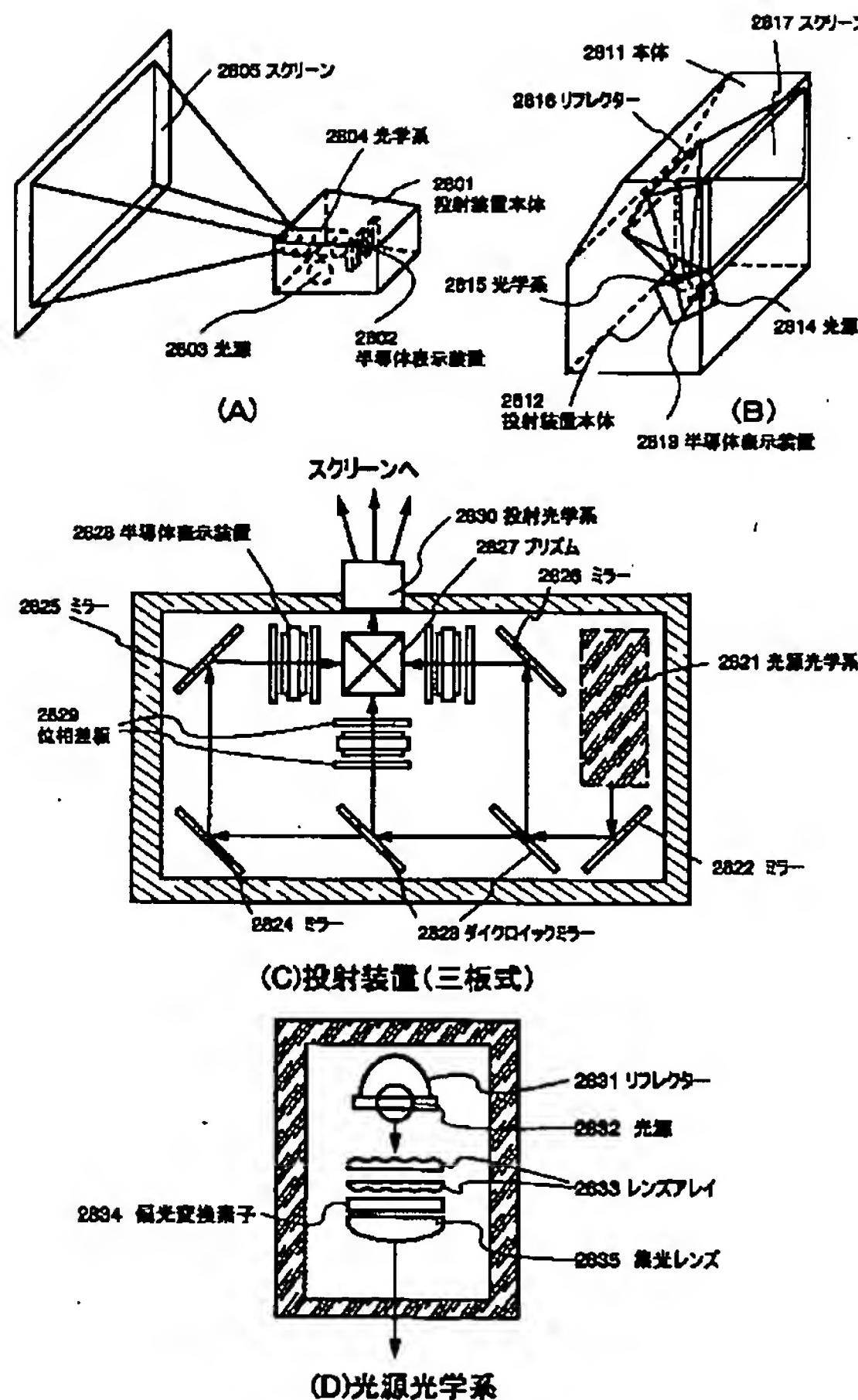
【図14】



【図16】



【図17】



フロントページの続き

(51) Int.CI.7	識別記号	F I	テーマコード(参考)
G 0 9 G 3/20	6 8 0	G 0 9 G 3/20	6 8 0 C 6 8 0 G 6 8 0 T 6 8 0 V
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0
1/1368		G 0 9 G 3/36	
G 0 9 G 3/36		H 0 4 N 5/66	1 0 2 B
H 0 4 N 5/66	1 0 2	G 0 2 F 1/136	5 0 0

(72) 発明者 塩野入 豊
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(72) 発明者 久保田 靖
大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社内

(72) 発明者 鷲尾 一
大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社内

Fターミ(参考) 2H092 GA59 JA25 JA26 MA05 MA07
MA17 MA27 MA30 NA01 PA03
PA06 PA08
2H093 NA16 NC13 NC21 NC22 NC23
NC34 ND42
5C006 AF25 AF41 AF82 BB15 BC20
BF11 EB05 EC02 EC11 EC13
FA43
5C058 AA09 BA03 BA35 BB05 BB10
EA26
5C080 BB05 DD22 DD30 JJ02 JJ03
JJ04 JJ06 KK02 KK07 KK43